

等平面化自对准硅雪崩击穿电子发射 阵列器件的设计和研制¹

朱大中

(浙江大学信息与电子工程系 功率器件研究所 杭州 310027)

摘 要 本文报道了等平面化自对准硅雪崩击穿电子发射阵列器件的结构设计和工艺过程。该器件的电子发射区域边缘的工艺台阶仅为 10nm，其自对准的浅阱注入电流通道区宽度仅为 3 μ m。与已报道的其它结构硅雪崩击穿电子发射器件相比较，该器件的电流电压特性曲线有更宽的线性区域和更低的通导电阻。本文也对其电子发射特性作了部分介绍。

关键词 真空微电子学，电子发射，冷阴极

中图分类号 TN10, TN4

1 引 言

近年来真空微电子学的研究已成为微电子学科中的一个新兴领域。采用微尖结构的体外场致电子发射阵列 (FEA) 器件已取得重要进展。但由于其制备工艺难度高，存在均匀性和重复性问题，而且在后续工艺中容易造成损坏^[1]，所以平面型体内场致电子发射阵列器件的研究也方兴未艾。特别是新结构和新材料的平面型体内场致电子发射阵列器件的研究对研究和开发高性能的冷电子发射器件将起重要的促进作用。

硅雪崩击穿电子发射器件是一种基于硅平面工艺的平面型体内场致电子发射器件。由于工艺过程中的多次氧化、光刻和扩散工艺，硅片表面存在若干高度差为数十纳米至数百纳米的工艺台阶。在结深仅为 30nm 左右的浅 p-n 结电子发射区边缘处工艺台阶高度可与其结深相比拟。近年来 Lu 等人^[2]应用二维器件模拟程序 PISCES-IIB 对硅雪崩击穿电子发射器件进行了分析。结果表明：这些工艺台阶的存在造成器件硅表面的非平面化，它将产生电子发射区边缘的电流集中效应，使器件反向偏压增高时通导电阻增大。同时也产生电流穿通效应。它使器件反向偏压增高时，部分反向电流将直接从 n⁺ 负极接触区流向二极管正极区，而不流经浅 p-n 结雪崩区。从而减少了有效偏置电流导致发射电流减少，降低了发射效率。设计和研究具有接近于理想平面的电子发射区优化结构是研究和开发高性能硅雪崩击穿电子发射器件的关键^[3]。

本文报道了硅等平面化自对准雪崩击穿电子发射阵列器件的结构设计和工艺过程。它具有边缘工艺台阶仅为 10nm 的等平面化电子发射区域。电子发射二极管正极 p⁺ 区和负极 n⁺ 接触区由自对准工艺形成，两区域间由浅阱注入层连接形成浅 p-n 结和自对准的宽度仅为 2~3 μ m 均匀性良好的浅 n⁺ 电流通道区。实验结果表明，该结构器件比已报道的其它结构和传统结构的硅雪崩击穿电子发射器件有更宽的电流电压线性工作区和更均匀的电子发射区域。

2 等平面化自对准硅雪崩击穿电子发射阵列器件结构和工艺设计

该器件的单元结构剖面图如图 1 所示。衬底材料为 p⁻/p⁺(111) 硅外延片；p⁻ 外延层的电阻率为 0.8~2 Ω ·cm，厚度为 7~10 μ m。器件的主要工艺过程如图 2 所示。首先在外延片上生长一层厚度为 500nm 的热氧化层，再应用 LPVCD 方法淀积一层厚度为 120nm 的氮化硅层。通过光刻和等离子刻蚀，保留宽度为 6 μ m 内外边长各为 10 μ m 和 22 μ m 的矩形带

¹ 1996-07-16 收到，1997-05-20 定稿

国家自然科学基金和浙江省自然科学基金资助项目

氮化硅层作为扩散自对准掩模。 n^+ 接触区光刻图形内侧位于 $6\mu\text{m}$ 宽的氮化硅层上, 其扩散窗口的内侧是以氮化硅层外侧为自对准边界。磷扩散预淀积后在 1150°C 下进行短时间 (15min) 干氧再分布。接着进行二极管正极区光刻, 其图形的外侧位于 $6\mu\text{m}$ 宽的氮化硅层之上, p^+ 区的扩散窗口是以氮化硅层的内侧为边界的。从而形成了 n^+ 区和 p^+ 区各以氮化硅层的外侧和内侧为边界形成扩散自对准窗口。 p^+ 区的掺杂采用硼离子注入, 注入的能量为 60keV , 注入的剂量为 $1 \times 10^{17} \text{cm}^{-2}$ 。去胶后退火, 再除去氮化硅层。通过光刻除去部份 n^+ 区, p^+ 区和两区域之间电流通区表面的氧化层, 然后进行这些区域的同时氧化再分布。再分布温度为 1150°C , 再分布时间为先干氧 20min, 再湿氧 30min, 最后干氧 20min。再分布后 n^+ 区的结深约为 $2\mu\text{m}$ 。再进行砷注入区光刻, 它包括 p^+ 区和电流通区以及部分 n^+ 接触区。低能砷注入能量为 25keV , 剂量为 $2 \times 10^{14} \text{cm}^{-2}$, 为了减少砷注入的平均射程, $10 \sim 15\text{nm}$ 的氧化层作为阻挡层。注入后在氮气中 800°C 下退火 2h, 浅砷注入层和 p^+ 区形成的浅结结深约为 30nm 。调整 p^+ 区的掺杂浓度可以改变浅结的雪崩击穿电压, 所研制的等平面化自对准雪崩击穿电子发射阵列器件雪崩击穿电压在 $6 \sim 10\text{V}$ 之间。

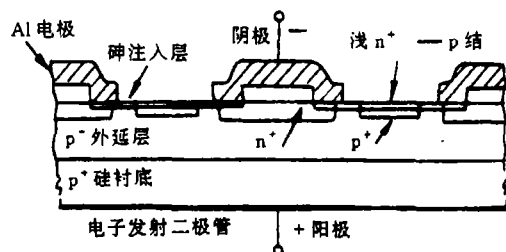


图 1 等平面化自对准硅雪崩击穿电子发射阵列器件单元结构剖面图

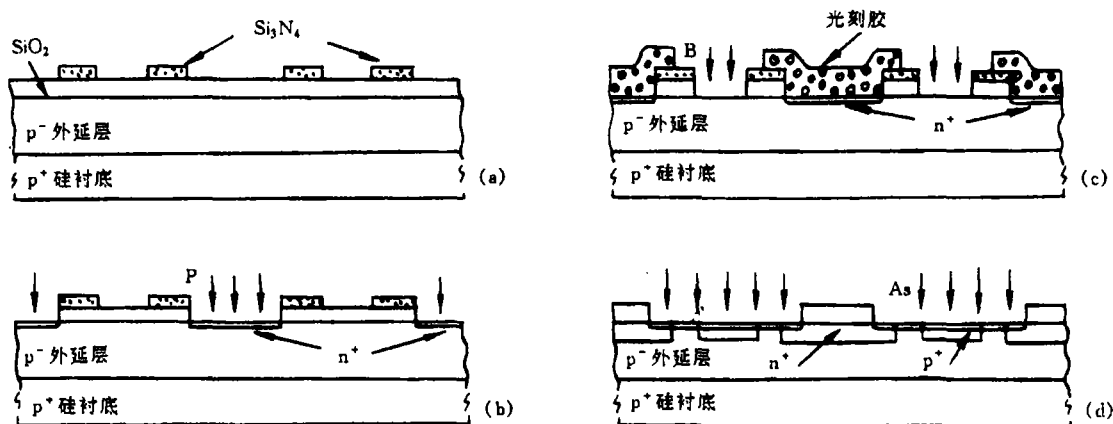


图 2 等平面化自对准硅雪崩击穿电子发射阵列器件主要工艺过程图

- (a) 氧化层生长 (500nm) 和氮化硅淀积 (120nm), 氮化硅层光刻和等离子体蚀刻 (保留电流通区上的氮化硅层), (b) n^+ 接触区光刻, 磷扩散预淀积和 15min 干氧再分布, (c) p^+ 区光刻, 硼离子注入, (d) p^+ 区 n^+ 区同时再分布, 光刻 As 注入区, As 注入形成浅 p-n 结

由于采用了氮化硅自对准工艺技术以及 n^+ 接触区、 p^+ 二极管正极区和电流通区同时氧化再分布; 实现了各区域间低工艺台阶并具有自对准短电流通区的硅雪崩击穿电子发射阵列器件。

3 器件表面形貌分析和部份实验结果

由于 n^+ 接触区, 二极管正极 p^+ 区和电流通道区的掺杂浓度不同, 这些区域在同时再分布氧化时氧化速率有差异^[4]。根据器件工艺过程条件并计及掺杂浓度对氧化速率的影响, 通过氧化层生长模型可以计算出各工序后各区域表面氧化层厚度和硅片平面的工艺台阶。图 3 表示了各区域工艺过程完成后硅表面的工艺台阶高度计算值。

将研制的器件管芯除去铝电极和氧化层后, 应用 DEKTAK3 表面分析仪进行器件表面工艺台阶形貌测试如图 4。工艺台阶 h_{BA} 的实测值为 65nm, 工艺台阶 h_{BC} 的实测值为 10nm 与模型计算值 $h_{BA}(63.5\text{nm})$ 和 $h_{BC}(7.4\text{nm})$ 基本吻合。

图 3, 图 4 中区域 A 为 n^+ 接触区, 区域 B 为浅 n^+ 电流通道区, 区域 C 为电子发射区。

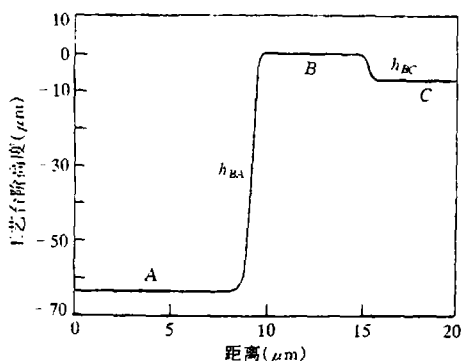


图 3 等平面化自对准硅雪崩击穿电子发射阵列器件单元结构硅表面台阶高度计算值

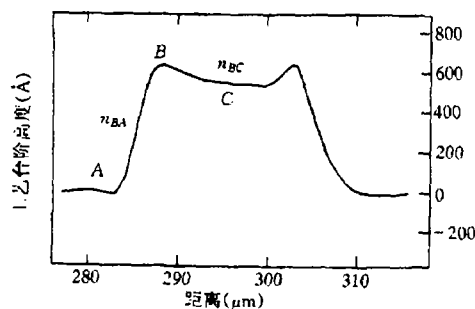


图 4 等平面化自对准硅雪崩击穿电子发射阵列器件单元结构硅表面台阶形貌应用 DEKTAK3 表面分析仪实测结果

设计和研制的等平面化自对准硅雪崩击穿电子发射阵列器件由 12×12 单元器件组成, 每单元发射区周长为 $40 \mu\text{m}$, 器件电子发射区的总周长为 $5760 \mu\text{m}$ 。该器件单元发射区边长电流电压特性如图 5 所示, 并表明该器件比其它结构和传统结构的硅雪崩击穿电子发射器件具有更宽的电流线性工作区和更低的导通电阻。

该器件在扫描电子显微镜中当器件反偏电压为 15V 时, 其发射电流为数微安数量级。由于器件的发射电子和电镜阴极发射电子的相互作用, 减少了成象的次级电子发射, 降低了成象照片的亮度和衬度。

图 6 为该器件在空气中反偏电压为 15V 时, 发射电子导致的微等离子体发光照片, 器件电子发射单元总尺寸为 0.48mm^2 与发光区域相对应; 发光区域发光亮度均匀性良好。

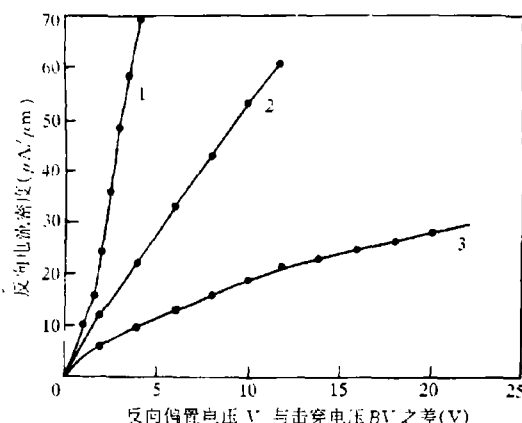


图5 等平面化自对准硅雪崩击穿电子发射阵列器件电流-电压特性曲线与其它结构器件的比较
1 为等平面化自对准结构;
2 为厚氧化自对准结构, 曲线引自文献 [4];
3 为传统结构, 曲线引自文献 [2]



图6 等平面化自对准硅雪崩击穿电子发射阵列器件 $V_r = 15V$ 时电子发射在空气中产生等离子体发光照片 (放大倍率 5 倍)

上述部分研究结果对研究和开发平面型冷阴极显示器件有参考价值。

参 考 文 献

- [1] 黄庆安. 真空微电子学的研究与进展, 电子学报, 1995, 23(10): 134-138.
- [2] Yicheng Lu, Minjing Wang, Bogoljub Lalevic. IEEE Trans. on ED, 1994, ED-41(3): 439-444.
- [3] Wang M, Lu Y, Lalevic B. J. Vac. Sci. Technol, 1993, B-11(2): 426-428.
- [4] Meijuan Guo. Proc. 4th Int. Con. on Solid-State and Integrated Circuit Technology. 北京: 电子工业出版社, 1995, 485-487.
- [5] S M Sze. VLSI Technology. 2nd Ed, McGraw-Mill, 1988, ch.3: 111-113.

DESIGN AND RESEARCH OF QUASI-PLANAR SELF-ALIGNED SILICON AVALANCHE ELECTRON EMISSION ARRAY

Zhu Dazhong

(Dept. of Information and Electronic Engineering, Zhejiang University, Hangzhou 310027)

Abstract The device structure and technical processings of quasi-planar self-aligned silicon avalanche electron emission array are introduced. The processing step at the edge of electron emission region is about 100 nm only and the width of self-aligned current channel of shallowAs implantation is about $3\mu m$. Its I-V characteristics show a larger linear region and lower series resistance than that of the previous silicon avalanche electron emission devices. Some of the electron emission characteristics are also discussed in the paper.

Key words Vacuum microelectronics, Electron emission, Cold cathode

朱大中: 男, 1945 年生, 教授, 现主要从事真空微电子学和微机械电子系统以及传感集成电路的研究。