

基于 FPGA 的数字高清晰度电视视频解码器的设计和实现¹

周 萍 俞斯乐

(天津大学电视与图象信息研究所 天津 300072)

摘 要 本文介绍了一个能实时解码基于 MPEG-2 的高清晰度电视 (HDTV) 编码流的视频解码器的设计方案及其实现。在设计中采用大量 FPGA 以及能实现高速处理的并行处理技术和流水线工作方式, 并研究了由并行处理而导致的运动补偿越界等特殊问题的解决途径。论文阐明了解码器的总体结构和各主要电路的组成以及整个解码过程的具体实现。

关键词 高清晰度电视, 视频解码器, 硬件实现, MPEG-2, 现场可编程门阵列

中图分类号 TN949.1

1 引 言

随着数字高清晰度电视 (HDTV) 技术的日趋成熟, 研究其硬件实现就成为一个重要课题。本文介绍了一个能实时解码 MPEG-2^[1] MP @ HL-14(主型、1440 高级) 编码流的视频解码器的设计和实现, 为我国开展数字 HDTV 视频解码器的研制进行了初次探索^[2]。

本方案采用并行处理方式, 并以现场可编程门阵列电路 (FPGA) 为主^[3], 设计了子核心解码器及其外围的存储器电路。在设计子核心解码器时, 采用了流水线处理方法, 配置了许多专用的硬件处理单元; 而且每个硬件处理单元内部也以流水线方式工作。这种方式提高了硬件处理数据的速度, 每个时钟周期可以解出一个象素数据。(文中所涉及的专用术语、缩写词和符号可参阅文献 [1] 和文献 [4]。)

2 视频解码器的总体结构设计和同步

对于帧频为 25Hz、分解力为 1440×1152 、色度抽样格式为 4: 2: 0 的图象, 其象素率高达 62.2Mbps。这意味着解码器要在 16ns 内处理一个象素数据。图 1 示出采用并行处理方法的视频解码器的结构, 它包括: 1 个输入数据缓存器、1 个数据分流器、2 组分流数据缓存器、8 个子核心解码器、2 个参考图象帧寄存器 (C 和 D)、3 个显示缓存帧寄存器 (E、F 和 G)、1 个后处理电路。首先, 通过数据分流器完成从 sequence 层到 slice 层的解码, 它根据 slice 垂直位置将一帧数据依次放到 8 个子缓存器中, 每个存放 9 个 slice 的数据。然后在下一帧时间内, 8 个子核心解码器同时从其相对应的子数据缓存器中读取数据并解码; 同时分流器又将分开的数据流写入另一组 8 个子数据缓存器中。

2.1 8 个子核心解码器的确定

由于每个子核心解码器按流水线方式操作, 且每个解码时钟解出一个象素数据, 因此它的解码速度决定于解码时钟。而解码时钟频率又由变长解码器的速度所决定。在一个时钟周期内, 变长解码器必须完成从累加器 $\rightarrow$ Barrel Shifter $\rightarrow$ 码字长度查表电路 $\rightarrow$ 累加器这样一个循环操作。我们从减小延时出发, 选用实现 Barrel Shifter 的 FPGA 芯片; 并将码字长度查表电路写到了 FPGA 内部的 ROM 中。这样, 变长解码周期被缩短到 115ns, 它也就是解

¹ 1997-09-02 收到, 1998-03-25 定稿
国家八五重点科技攻关项目资助课题

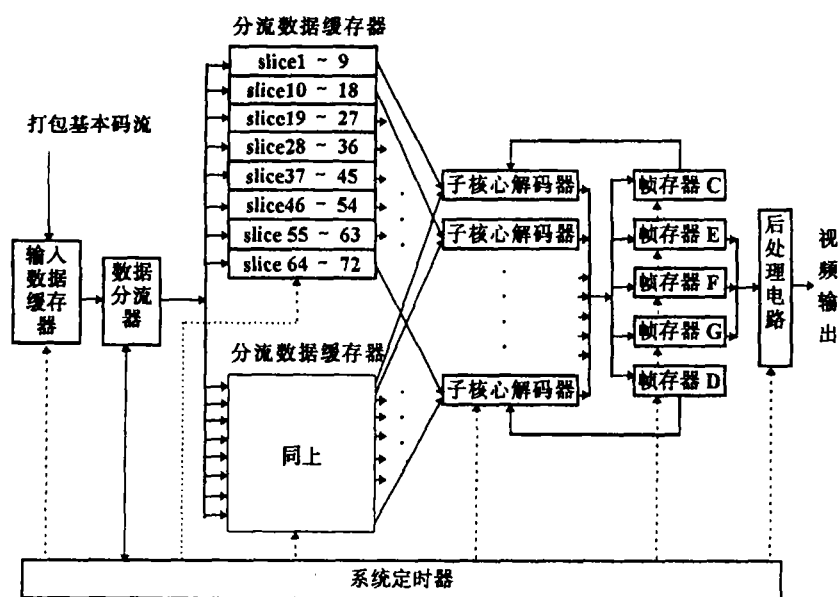


图1 HDTV 视频解码器原理框图

码时钟周期。因此，为在 16ns 时间内解出一个象素数据，进行并行解码的子核心解码器应为 8 个。

2.2 在平行处理中 HDTV 图象分割方向的选择

从分流器易于以 Slice 为基本单位来分开码流考虑，将图象分为水平的 8 条而不是垂直的 8 条。

2.3 视频解码器的同步原则

在本方案中，采用视频解码器的操作与显示频率同步的原则，这样可使所需要的显示缓存器的个数固定而且最少，每个缓存器的容量也比缓存未解码数据流时要小。但由于视频解码器在一帧时间内所处理的输入数据量的不固定，需要设置一个输入缓存器用来缓存输入数据流，并受分流器的控制。

3 视频解码器的构成

3.1 数据分流器和系统定时器

数据分流器和系统定时器的主要功能是：(1) 在一帧时间内将一帧图象数据流分开，并送给相应的子缓存器；(2) 完成从 sequence 层到 slice 层的解码，并将解出的有关参数送给解码器的其它部分；(3) 实现整个解码器的定时和同步；(4) 控制输入数据缓存器的工作。

在打包基本码流 (PES) 中含有解码时间标志 (DTS) 和显示时间标志 (PTS) 信息，它们是图象同步的基础。只有当其出现后，分流器才从输入缓存器中读取数据，开始从 sequence 层到 slice 层的解码。同时，它还利用从 picture 层中解出的 vbv-delay 来控制输入缓存器，并根据 slice 头中所含垂直位置信息将每个 slice 的数据送给相应的子缓存器。

数据分流器还包含一个系统定时电路，它由一个锁相环、一个时钟 / 定时恢复和子系统同步产生电路所组成。锁相环通过调整本地的 27MHz 时钟的频率使本地计数器 (也可称

其为本本地 PCR) 与从码流中解出的节目时钟基准 (PCR) 同步。本地 PCR 与 DTS/PTS 和 27MHz 时钟一起产生一个 25Hz 的帧起始信号, 用作解码系统垂直同步基准信号。

3.2 参考图象帧存器和越界运动补偿

如图 1 所示, 本解码器采用了 2 个参考图象帧存器来存放 I 帧或 P 帧解码图象, 并更新两个帧存器中内容最旧的那个帧存器。参考图象帧存器的操作过程如图 2 所示。每个帧存储器由 8 个与子核心解码器对应的子存储器和 14 个扩边存储器组成。

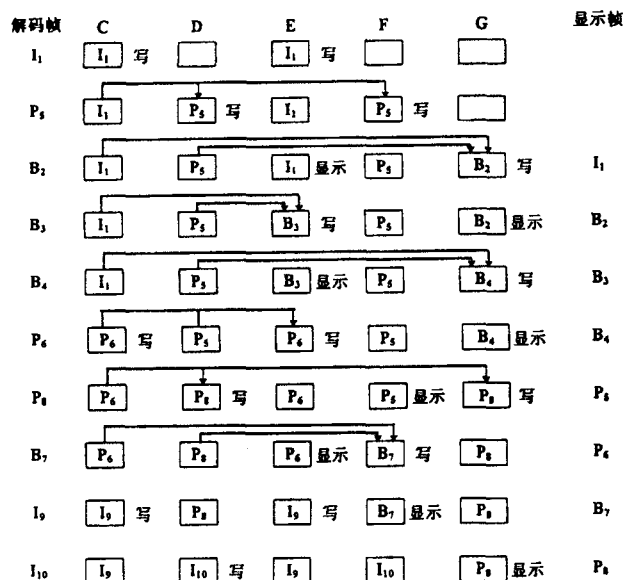


图 2 参考图象帧存器和显示缓存帧存器工作原理

由于每个子核心解码器在进行运动补偿时, 不仅要利用本身解出的参考图象, 在边界上还要利用相邻子核心解码器所解出的参考图象, 这就是越界运动补偿。通过不同方案的比较, 我们采用附加 14 个扩边存储器的方案, 见图 3。每个扩边存储器的高度等于运动矢量的垂直范围, 宽度等于图象的宽度。写入扩边存储器的数据内容即为其垂直位置所对应的图象内容, 例如, 子核心解码器 2 将向存储器 2 和扩边存储器 1_下 和 3_上 写入参考图象数据; 依此类推。这样, 在进行运动补偿时, 存储器 2 和扩边存储器 2_上 及 2_下 就可以一起为子核心解码器 2 提供参考图象。当垂直运动矢量范围不超过每个子参考图象存储器高度的 1/2 时, 可以将 2_上 及 1_下, 3_上 及 2_下, ……8_上 及 7_下 分别合并在一块芯片里, 它们的读写不会发生冲突。这样, 可以减少元器件和相应的电路。

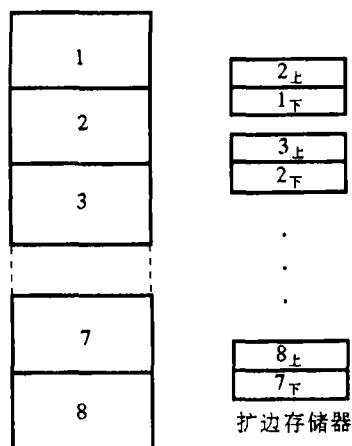


图3 参考图象帧存储器的结构

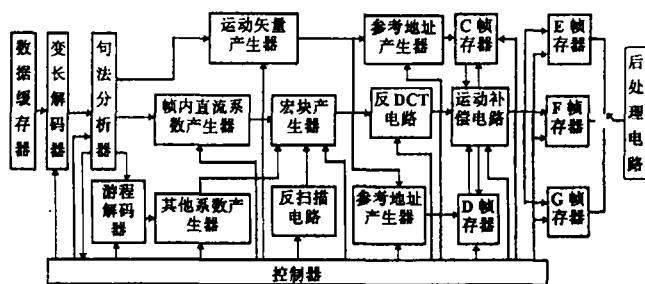


图4 子核心解码器原理框图

3.3 显示缓存帧存储器

在本方案中使用了三个显示缓存帧存储器（每个又分别由8片存储器组成），如图2所示。图中数字表示帧序号，解码帧和显示帧分别指正在被解码的帧和显示的帧，方框右边的“写”字表示这个帧存储器正在被写入数据（其所属帧标明在方框内），而“显示”则表示本帧存储器的数据正在被用来显示。当有箭头离开某方框时，表明该帧存储器中的数据是参考帧，它被用来预测其它的帧；当有箭头指向某方框时，说明该帧的数据是用其它帧预测得来的。

3.4 子核心解码器

子核心解码器的原理框图如图4所示，它由控制和执行两大部分组成。控制部分是解码得以完成的核心，它负责对码流的句法分析、对码流头部信息的解释和对所有硬件执行单元的同步和控制。执行部分包括的专用硬件执行单元以流水线的方式连接在一起，完成整个解码过程的运算。下面分别介绍各部分的硬件结构。

3.4.1 解码控制器 解码控制器包括同步控制器和句法分析器两部分。它的功能是：

(1) 同步和控制完成解码过程的各执行单元的操作；(2) 与变长解码器一起，对码流数据进行句法分析，翻译头部信息，并将解出的解码参数提供给各执行单元；同时还向后者提供所有运行控制信号。

(1) 同步控制器 同步控制器以解码时钟为基础产生一系列固定时序（包括 Slice、宏块、块、DCT 系数和相应的头部信息等）的同步信号送给各执行单元，如用于反扫描电路的系数顺序信号、帧内直流系数产生器和“其它系数”产生器输出之间的切换信号、宏块存储器的读地址、反 DCT 电路的使能信号和块起始信号、用于产生参考图象读地址的解码地址、参考图象帧存储器和显示缓存帧存储器的写地址等等。必须指出，在设计中准确考虑控制信号的延时关系是保证正确解码的基本要求。

(2) 句法分析器 考虑到微处理器很难与解码器中的各执行单元同步，本方案采用 FPGA 和 EPROM 构成一个句法分析器。它能完成 MPEG-2 中所包含的所有指令，如：测试、跳转、分支、条件、赋值、循环、等待等等；而且执行所有指令的时间都只有一个解码时钟周期，这样它很容易与各执行单元同步而且速度很快。在 EPROM 中存有依据 MPEG-2 和硬件解码过程设计的 2kbyte 的微码，通过修改微码可以控制程序的流向，因而直接控制解码过程。

3.4.2 变长解码器 本方案采用 S.M.Lei 等^[5]提出的并行结构的变长解码器, 与传统串行结构相比, 它的解码速度很高, 在一个解码时钟内就可以解出一个码字, 而不管这个码字有多长。且本解码器的解码操作与象素频率同步, 而不与输入码流同步, 因此并行结构正好与之相匹配。

并行结构的变长解码器由两个 32bit 宽的输入寄存器、一个 53 个输入 24 个输出的 Barrel Shifter、一个存有码字长度的 PLA 查表电路和一个 5bit 的累加器组成。累加器的时钟使能是由解码控制器和游程解码器共同控制的, 当它为 1 时, 变长解码器正常工作; 当它为 0 时, 变长解码器停止解码。

3.4.3 游程解码器 游程解码器由比较器、多路器、寄存器等组成。其工作原理比较简单, 这里从略。

3.4.4 DCT 系数产生器

(1) 帧内直流系数产生器 图 5 是帧内直流系数产生器的原理框图, 其中有 3 个预测器, 对应于 Y、U、V 3 个信号成分。帧内直流系数的产生分为差值计算和反差分编码两部分。

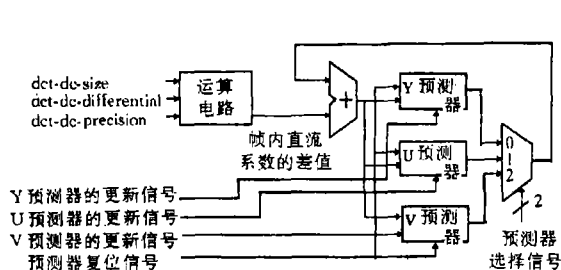


图 5 帧内直流系数产生器原理框图

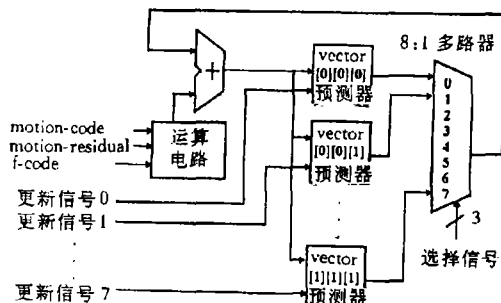


图 6 运动矢量产生电路

(a) 差值的计算 在码流中, $dct-dc-size$ 出现在每个帧内块的最前面, 它是变长编码的码字, 如果它不为 0, 在它的后面就会跟着一个码字 $dct-dc-differential$ 。由二者可求出 $dct-diff$ 。 $intra-dc-precision$ 存在于 picture 头信息中, 由分流器解出并送给各个子核心解码器, 由其可计算出 $intra-dc-mult$ 。 $dct-diff$ 与 $intra-dc-mult$ 相乘, 即得出帧内直流系数的差值。

(b) 反差分编码 每个反差分编码运算都是对三个预测器之一进行的。例如, 若帧内直流系数差值对应 Y 信号, 则多路器选择 Y 预测器中的值与其相加, 其和就是 Y 信号的帧内直流系数, 同时, Y 预测器中的值也被这个新值所更新。

(2) “其它系数”产生器 “其它系数”是指帧内直流系数以外的那些系数。在反量化之前, 它们先被转换成原码编码的形式, 因为对于硬件来说, 原码形式的乘法比补码形式的乘法容易实现。在反量化运算中所用的加权矩阵 $W(W)(V)(U)$, 由系数所对应的行和列经过查表得到; 而 $quantiser-scale$ 则由码流中的码字 $quantiser-scale-code$ 经过查表得到。在反量化后, 经过原码 $\rightarrow$ 补码转换, 并与解码的帧内直流系数一起被送往宏块存储器。

3.4.5 宏块存储器和反扫描电路 每个子核心解码器中有 2 个宏块存储器, 其读写是按宏块解码周期交替进行的。宏块存储器的作用是实现反扫描转换和帧 / 场自适应的反 DCT 运算。反扫描转换的工作原理较简单, 这里从略。

在帧 / 场自适应的反 DCT 运算下, 当进行以场为基础的反 DCT 运算时, 要同时用到两个块中的数据, 所以必须有宏块存储器。

3.4.6 反 DCT 电路 本方案采用了一块专用的反 DCT 芯片, 在输入端连续地输入 64 个系数, 在经过 194 个时钟周期的延迟后, 在输出端连续地输出 64 个图象帧差数据。帧 / 场自适应的反 DCT 运算是通过选择宏块存储器的读出地址来实现的。

3.4.7 运动矢量产生器和运动补偿电路 由运动矢量产生器计算出的运动矢量与被补偿帧差信号的地址相加得出参考像素的地址, 由它从参考图象帧寄存器中读出参考像素数据, 再与反 DCT 电路送出的像素差值信号相加, 即得到解码图象数据。

(1) 运动矢量产生器 以宏块为基础的运动补偿, 其运动矢量信息主要在宏块头中传送, 所以在解宏块头时进行运动矢量的计算, 如图 6 所示。计算主要分为两个步骤: 差值 δ 的计算和反差分编码。

(a) 计算差值 δ motion-code 是在宏块头中传送的变长码, 需经过变长解码。跟随其后的 motion-residual 的长度, 由在 picture 头中传送并通过分流器解出送来的 f-code 所决定, 因此必须经过一个以 f-code 作为选择信号的 Barrel Shifter 才能将其各位对准固定的数据线。由上述三者可以计算出差值 δ 。

(b) 反差分编码 矢量产生器中有 8 个各对应于一个运动矢量分量的预测器, 每次计算运动矢量总是针对一个分量。例如, 设所求出的差值 δ 对应于第一个前向水平分量, 则多路器选择相应的预测器的内容与 δ 相加, 再经过取模运算就得到所需运动矢量分量, 它同时更新该预测器中的值。

(2) 运动补偿电路 运动补偿电路中含有 4:1 多路器, 它的 4 个输入端分别对应于 I 块、前向块、后向块或双向块所要求的参考图象数据, 多路器的选择信号由解码控制器提供, 多路器的输出与来自反 DCT 电路的图象差值相加, 即可得到解码图象数据, 它被存入相应的显示缓存帧寄存器中。

由于参考图象帧寄存器中的像素是整像素, 而运动补偿要求的精度是半像素, 因此需要经过内插电路才能得到半像素精度的参考图象数据。

3.5 后处理电路

后处理电路从显示缓存帧寄存器中读出数据, 在经过处理后得到用于显示的视频信号, 并将其送给监视器。后处理电路有 4 个功能: (1) U、V 信号的水平内插和垂直内插; (2) Y、U、V $\rightarrow$ R.G.B 的转换; (3) D/A 变换; (4) 视频放大。

4 硬件实现和实验结果

为了验证本方案的可行性, 我们以 FPGA 为主设计制做了一个“最小”解码器, 它由一块视频码流存储板、一块子核心解码器板、一块参考图象帧寄存器板、两块显示缓存帧寄存器板和一块后处理电路板组成。表 1 中列出了所使用的 FPGA 的量。我们还采用了单步执行的方法来调试用于执行 MPEG-2 软件解码的微码。利用这个“最小”解码器, 对 MPEG-2 MP @ HL-14 编码流进行了解码试验, 通过常规电视监视器正确显示出一条 720 个像素宽的复原图象, 解码器各主要功能得到了初步验证。

表 1 用 FPGA 实现的主要电路的规模

电路名称	FPGA 电路的门数
解码控制器	6000
变长解码器和游程解码器	5700
帧内直流系数产生器	3500
“其它系数”产生器	5900
运动矢量产生器	4800
运动补偿电路	3500
后处理电路	3000
显示控制	1000
总计	33400

5 结 论

本文较详细地介绍了一个数字 HDTV 视频解码器的硬件结构设计及其实现。并行处理方法的采用, 使得 HDTV 图象的高像素速率所要求的处理速度得以实现。文中还详细地介绍了子核心解码器的结构设计及其操作过程, 同时探讨了越界运动补偿的解决途径。FPGA 电路的广泛采用提供了极大的灵活性, 并为未来消费产品专用芯片的设计打下基础。

“最小”解码器的研制和解码试验, 初步验证了所提方案的可行性, 但从完整性和优化设计考虑, 尚有大量工作有待继续深入进行。

数字 HDTV 技术是目前世界上高科技领域中的热点之一, 它不仅用于广播电视, 而且还与通讯、计算机、多媒体等有着密切的关系, 希望我们的工作能对今后进一步的研究开发有所裨益。

致谢 作者愿向给予本项研制工作以大力支持和帮助的王承宁博士生、李春柄硕士生、潘一匡高工、李华教授等致以衷心感谢。

参 考 文 献

- [1] ISO/IEC IS 13818. Generic Coding of Moving Picture and Associated Audio. Nov. 1994.
- [2] 周萍. 数字高清晰度电视视频解码器的研究: [博士论文]. 天津: 天津大学, 1996 年 6 月.
- [3] Xilinx. Inc. The Programmable Logic Data Book. 1994.
- [4] Grand Alliance HDTV System Specification. Version 1.0. Apr. 1994.
- [5] Lei S M, Sun M T. An entropy coding system for digital HDTV application. IEEE Trans. on CAS VT, 1991, 1(1): 147-155.

THE DESIGN AND IMPLEMENTATION OF AN FPGA-BASED DIGITAL HDTV VIDEO DECODER

Zhou Ping Yu Sile

(*Institute of TV and Image Information, Tianjin University, Tianjin 300072*)

Abstract This paper presents the scheme and its implementation of a video decoder, which can complete real-time decoding the MPEG-2 based coded bit stream. This scheme adopts the parallel processing technique, the operation in pipe line and a large quantity of FPGA. The approach for the motion compensation crossing the border, which is caused by parallel processing, is studied. The architecture of the decoder, the formation of main circuits and the realization of decoding procedure are described.

Key words High definition television, Video decoder, Hardware implementation, MPEG-2, FPGA

周 萍: 女, 1964 年生, 博士, 研究领域包括图象处理、HDTV 视频压缩编码和硬件结构设计。

俞斯乐: 男, 1930 年生, 教授, 博士生导师, 电视与图象信息研究所所长。主要研究领域为电视信号处理、数字视频和视频压缩技术、电视与图象信息系统。