

FPGA 布线通道分布对面积效率的影响研究

徐新民^① 王 倩^① 严晓浪^②

^①(浙江大学 电子电路与信息系统研究所 杭州 310027)

^②(浙江大学 超大规模集成电路设计研究所 杭州 310027)

摘 要 该文提出了现场可编程门阵列(FPGA)布线通道不均匀分布对芯片面积的影响。引入几个典型的数学分布函数(高斯, 正弦和三角分布), 实现通道容量随函数分布变化的新 FPGA 结构。将这些结构的 FPGA 与传统的布线通道均匀分布的 FPGA 作比较, 结果表明按照数学分布变化的布线通道分布结构比均匀分布情况下的面积效率要高。亦即通道分布的变化趋势是峰值位置位于芯片中央, 即通道容量最大, 从中间位置向边缘按函数变化趋势逐渐变小。

关键词 FPGA, 布线, 通道容量, 轨道, 高斯分布

中图分类号: TN402, TN403

文献标识码: A

文章编号: 1009-5896(2006)10-1959-04

The Research of Area-Efficiency for the Routing Channel Distribution in FPGAs

Xu Xin-min^① Wang Qian^① Yan Xiao-lang^②

^①(Institute of Electronic Circuit and Information System, Zhejiang University, Hangzhou 310027, China)

^②(Institute of VLSI Design, Zhejiang University, Hangzhou 310027, China)

Abstract The effect of track distribution on chip area is investigated in this paper. Several typical distributions in math (Gaussian, Sine and Trigonal) are introduced to realize FPGAs architectures with routing channel width varying randomly on software platform. These various kinds of FPGA architecture are made comparison to the traditional FPGA with uniform routing channel width. The key results are that the non-uniform routing architectures deduced from the introduction of math's distribution have a better area efficient than the uniform ones without sacrificing the circuit speed. And the trend of routing channel width transformation is that in the center of the chip is the peak point, and from the center to the edges the channel width becomes narrow gradually.

Key words FPGA, Routing, Channel width, Track, Gauss distribution

1 引言

现场可编程门阵列(FPGA)指通过编程实现几乎所有的数字电路的集成电路。近些年来我们看到, FPGA实现电路的能力和容量上都得到显著提高。从著名的FPGA生产商——Xilinx公司的主流产品的演化中可略见一斑。从Xilinx 4000 系列产品到近期的Spartan以及Virtex系列^[1], FPGA有着极大程度上的改进。其中大部分的进步要归功于FPGA的内部结构的改进。这与国内外研究者对FPGA作了很多学术上和工业上的研究是分不开的。这些研究包括逻辑块^[2]、存储块^[3]和布线结构^[4,5]上的研究。对于布线结构上的研究, 一些研究者把焦点集中在开关模块的优化问题上^[5], 这里的开关模块是指连接固定布线轨道的可编程开关。我们主要研究布线结构中的通道容量分布情况及其对FPGA芯片面积和速度方面的影响。

2 问题的提出

典型的 FPGA 结构是由一系列规则的可配置逻辑块阵列(CLBs), 互连的布线资源和位于四周的可编程输入、输出

模块组成。布线资源包括金属线和它们之间互连的转接机制, 包括晶体管, 三态门和多路选择器。这些都是由 FPGA 制造商预制好的, 即对于用户来说是固定的。就制造工艺而言, 一块 FPGA 芯片, 其功能模块, 如查找表(LUTs)和单片乘法器或内存电路, 只占到整片芯片面积的 5%—10%; 而剩下的通信资源, 如果要使该芯片的逻辑利用率达到将近 100%, 则将需要占到大部分的面积。因此, 有效的优化布线资源对于 FPGA 芯片面积的节省是有很大帮助的。而一直以来在大多数商用的 FPGA 中, 芯片的布线通道的容量都是相同的, 如图 1 所示。图 1 画出了一个 4×4CLB 阵列的 FPGA 结构的例子, 四周一个个小的正方形是 I/O 端口面板, 中间大的正方形是一个个的 CLB, 环绕在 CLB 周围的是布线通道, 在布线通道中的是一条条布线轨道。布线通道的容量是指布线通道中含有的轨道数目, 亦即布线通道的轨道数。图 1 中每个布线通道的布线轨道数目都相同(都是 3), 这种结构就是均匀分布的布线结构。很多 FPGA 设计者会猜想这样的一种通道容量分布是不是最省芯片面积呢, 当 FPGA 芯片的通道容量不是完全一样, 按照数学分布曲线变化时芯片面积会不会要优于原来的均匀分布呢? 图 2 画出的是与图 1 一样的 4×4CLB 阵列, 区别仅仅在于通道容量分布的不同; 图 2

的布线结构只是通道容量不均匀分布的一种情况。商用

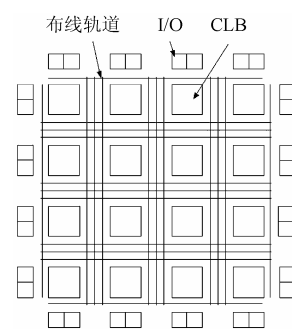


图1 布线通道容量均匀分布的FPGA结构图

Fig.1 FPGA structure with routing channels evenly distributed

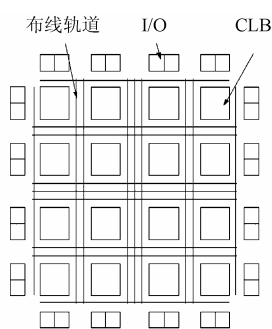


图2 布线通道容量不均匀分布的FPGA结构图

Fig.2 FPGA structure with routing channels unevenly distributed

FPGA是预制好的,体系结构不能改变,从而也就很难找到刚好能符合实验要求的相应FPGA结构的芯片,而且用很多不同种类的芯片来做这个实验是不可能的。因此我们用一套跟实际商用FPGA实现电路的流程相类似的CAD流程来检验FPGA的布线结构。

本文中研究的FPGA的结构是基于SRAM的,其中的逻辑块结构与目前商业上的FPGA的逻辑块结构一样,基于查找表结构(LUTs)的。将查找表和寄存器封装成一个逻辑簇,用局部互连线连接起来,就形成了一个可配置逻辑块(CLB)。FPGA的布线结构是模块式的^[6];输入、输出(I/O)引脚的位置是固定的^[7]。

3 实验平台

我们改变整块FPGA的布线通道容量分布来改变FPGA的布线结构,用一套基准电路对这些结构不同的FPGA进行布局、布线,检验不同的FPGA结构的性能优劣。这要涉及到3个主要方面:

(1) 怎样改变布线通道的容量分布状况,得到各种不同的FPGA结构。我们把芯片的一个方向上的尺寸映射到数学坐标上 $[0, 1]$ 的坐标区间内,标记为 x 坐标。因此 x 的取值范围是在0和1之间;从而在一个方向上的不同位置的布线通道, x 值也就不同。然后分别引入几个不同的数学分布,计算通道容量。本实验中引入的数学分布如下:

高斯分布:

$$y = Ae^{-\left(\frac{x-a}{\sqrt{2}b}\right)^2} + dc$$

其中 $A \in [0, 1]$, $a \in [0, 1]$, $b \in (0, 3)$, $dc \in [0, 1]$ 。

正弦分布:

$$y = A \sin(1.57 - b|x - a|)$$

其中 $A \in [0, 3]$, $b \in (0, 3)$, $a \in (0, 1)$ 。

三角分布:

$$y = \begin{cases} \frac{A}{a}x + dc & (x \leq a) \\ -\frac{A}{a}(x - a) + A + dc & (x > a) \end{cases}$$

其中 $A \in (0, 1]$, $a \in (0, 1)$, $dc \in [0, 1]$ 。

分别改变每个数学函数的参数,得到的FPGA的结构也就不同。因此,在通道容量分布中应用这些函数分布后,FPGA中每个通道的轨道容量都各自不同。在本文中,主要研究布线通道的容量分布对于芯片面积的影响,因此在实验过程中假设逻辑块和I/O块功能保持不变,设定每个标准电路的输入、输出端口可以任意分配到FPGA的任何I/O口上。除了布线结构方面的参数外,其他FPGA的结构上的参数都要先指定,这样才可以定义好一块相应的FPGA。我们将这些参数按照最接近于商用FPGA的参数进行设置;这里给相应电路选用的逻辑块阵列是正方形阵列,逻辑块的数目随着要实现的电路的大小而改变,并且是有足够数目的逻辑块中实现电路的最小方形阵列。I/O端口从宽度或者高度来说是逻辑块的1/2,从图1或图2上可直观看出。

(2) 引入有效的电路来检验FPGA结构的性能,电路应当是任意的组合逻辑和时序逻辑的组合。这里引入的是一套20个任意组合和时序逻辑的实验基准电路,由美国北卡罗来纳州电子中心(MCNC)制订。在这些被检验的布线结构不同的FPGA上进行布局布线,分别实现各个基准电路;从实现相应电路的不同FPGA需要的芯片面积和速度可以得出相应FPGA结构的性能^[8]。

基准电路先用SIS^[9]进行优化,然后用Flowmap和Flowpack^[10]工艺映射成一系列查找表和寄存器。经过这些步骤后,基准电路描述就以.blif的文档格式保存。BLIF是Berkeley Logic Interchange Format的简称,这种格式的主要目的是以文本的形式描述逻辑级层次的电路。接下来用T-VPACK^[8]将以.blif格式描述的实验基准电路封装成一定大小的CLB为基本逻辑单元的描述电路,经过这一步的封装,我们获得了基准电路的网表,以.net的文件格式存在。这样我们所需的检验电路已经按照要求准备好了,而且是可以直接用来在我们设计的FPGA上布局布线。本实验中封装的每个逻辑块含有4个查找表和一个寄存器。

(3) 需要一个合适的布局布线工具。经过上面两个环节,基准电路的网表和用来实现电路的FPGA都已经准备好了。

为了公平地比较各个FPGA结构性能优劣,需要一个可以完全地优化各个被测试的FPGA结构的CAD工具。我们选择了流行的布局布线工具VPR^[11],因为VPR实现了布线通道容量分布随意变化的FPGA结构的布局 and 全局布线。

VPR先将给定的基准电路网表和FPGA的全局布线结构描述读进来。VPR的默认设置是:用来实现相应的基准电路网表的FPGA结构是与之刚好匹配的最小的正方形阵列结构。VPR布局采用退火仿真算法,然后用“折半查找法”

增加或者减小每条布线通道的轨道数,最后找到最小需要的全局通道容量;这个布线过程用的是全局布线而不是局部布线。全局布线与局部布线的区别在于开关盒。在全局布线中指定的开关盒是理想的,即经过开关盒可以形成任意的连接。因此做没有指定开关盒结构的猜想的 FPGA 结构的实验是比较合适的。在这一实验阶段,我们不研究开关的结构性能,因此这里选用全局布线。“布通优先”和“时间优先”是 VPR 的两种主要工作模式。在“布通优先”模式中,电路的速度不是主要的优化目标之一;而在“时间优先”模式中面积使用率和电路速度都是优化目标。在这两种工作模式下各自进行验证,以增加结论的可靠性。

4 结果

为方便比较不同布线结构的面积使用率,先引入一种面积衡量机制。我们把跨越一个逻辑块的线作为一“布线段”,则一个有 W 条轨道,每条轨道跨越 L 逻辑块的通道包含 $W \times L$ 布线段。例如图 1 中的 4×4 阵列的 FPGA 结构,一个通道中包含 3 条布线轨道,每条轨道跨越 4 个逻辑块,则有 12 布线段。因进行比较的 FPGA 只有布线结构不同,FPGA 的面积衡量机制可以用“实现一个电路的全局布线所需的布线段的总数”表示。但由于基准电路之间的大小各异,实现相应基准电路的 FPGA 大小也就不同,这也给相应结果的比较造成一定难度。对这个问题的解决方法是将原先的衡量机制进行“归一化”处理,用“每一单位面积(逻辑块)需要的布线段数”作为检验标准。

(1)VPR 选用“布通优先”模式,主要考虑面积使用率问题。

将 3 种数学分布应用到 FPGA 的布线结构的研究上,每种分布产生各种通道容量分布各异的结构。首先,用布线通道容量均匀分布的 FPGA 实现基准电路,这里用“均匀分布”表示每个通道的轨道数都完全相同的情况。应用数学分布得到的各种布线结构不同的 FPGA 也用基准电路进行检验。将这套基准电路中的其中 7 个电路及其相应的 FPGA 面积使用率的结果列于表 1:

由表中实现各个基准电路的“全局布线每块电路所需的
表 1 “布通优先”模式下基准电路检验结果

Tab.1 Benchmark evaluation results in “routability-driven” mode

基准电路	逻辑块数目	全局布线每块电路所需的布线段数			
		均匀	高斯	正弦	三角
Alu4	1522	16	14.6	15	15
Apex2	1878	18	16.9	16.9	17
Diffeq	1497	12	10.9	11.3	11.3
Ex5p	1064	20	18.6	19	18.9
Apex4	1262	18	17.2	17.5	17.6
Misex3	1397	16	14.8	15.2	15.3
Seq	1750	16	15.3	15.5	15.4

布线段数”的数据可以看出,对于实现这些电路,由高斯,正弦或三角分布得出的一些轨道数变化的 FPGA 需要的面积少于均匀分布时需要的面积。而在这 3 种分布中,高斯分布得到结果最好。表中的高斯分布相应的参数设置情况为:参数 A 取值为 1 或 0.8,参数 b 适宜的取值在 0.45 与 0.8 之间,参数 a 取值为 0.5。正弦分布相应的参数设置情况:参数 A 的取值为 1, 1.2 或 1.5,参数 b 适宜的取值在 1 与 1.5 之间,参数 a 取值同样为 0.5。三角分布相应的参数设置情况:表示三角分布斜率的参数 A/a 的适宜取值范围是在 0.5 与 0.7 之间。

按上述的数学分布得到的布线通道容量分布的结果是:值为 0.5 的参数 a 表示 FPGA 芯片中间是通道容量分布的峰值点,即该处的通道容量最大;按数学分布曲线走向说明了从中间向边缘通道容量逐渐变小。

(2) VPR 选用“时间优先”模式,面积使用率和电路速度都是主要优化指标。

电路速度优化指标由关键路径延时进行估量。

用 FPGA 实现的电路在达到一定芯片速度的前提下比较芯片的面积使用率。选用应用高斯分布得到的结构与布线结构均匀分布的情况作比较,同样将其中的 7 个基准电路及其相应面积使用率的结果列于表 2。

由表 2 中“全局布线每块电路所需要布线段数”的数据比较可以看出,由高斯分布得出的一些轨道数变化的 FPGA 需要的面积少于通道容量均匀分布时需要的面积。并且这种由高斯分布得到的布线通道容量分布的变化趋势是:芯片中间是通道容量分布的峰值点,即该处的通道容量最大;按数学分布的曲线走向说明了从中间向边缘,通道容量逐渐变小。

表 2 “时间优先”模式下基准电路检验结果

Tab.2 Benchmark evaluation results in “timing-driven” mode

基准电路	逻辑块数目	全局布线每块电路所需 布线段数	
		均匀分布	高斯分布
Alu4	1522	16	14.6
Apex2	1878	18	17
Diffeq	1497	12	10.9
Ex5p	1064	20	19
Apex4	1262	22	20.5
Misex3	1397	18	17
Seq	1750	18	17.1

5 结束语

本文中,我们主要考察了可编程布线结构特别是布线通道的分布情况对芯片面积的影响。研究了大量通道容量分布不同的布线结构,其中有均匀分布的,容量分布变化快的,容量分布变化慢的等。引入了几个典型的数学上的分布,如高斯分布,正弦和三角分布,构成通道容量变化的各种 FPGA 布线结构。实验结果表明,FPGA 的布线通道容量均匀分布的结构不是最省面积的;由引入的数学分布得到的一

些布线通道容量不均匀分布的 FPGA 结构在面积效率上要优于这种均匀分布。

在此研究的基础上,我们对异种FPGA的内部布线结构作了相应研究,异种FPGA指的是内部组成的基本单元不同的FPGA。而异种的FPGA中,特别是有处理器和乘法器等硬件单元嵌入在内部^[12]的FPGA很值得我们研究,目前Xilinx Vertex II Pro FPGA就是这种结构的异种FPGA。这一领域将是今后研究的重点。

参 考 文 献

- [1] Xilinx Inc. The Programmable Logic Products Data Book 2000.
 - [2] DeHon, Andre. Balancing interconnect and computation in a reconfigurable computing array. ACM/SIGDA International Symposium on Field Programmable Gate Arrays, California, United States, 1999: 69–78.
 - [3] Wilton S J E. Implementing logic in FPGA embedded memory arrays: Architectural implications. Proc IEEE Custom Integrated Circuits Conference, Santa Clara, May 1998: 1241–1244.
 - [4] Trimberger Stephen. Effects of FPGA architecture on FPGA routing. Proceedings of the 32nd ACM/IEEE conference on Design automation, San Francisco, 1995: 574–578.
 - [5] Masud M I, Wilton S J E. A new switch block for segmented FPGAs. International Workshop on Field Programmable Logic and Applications, Glasgow, United Kingdom, September 1999: 274–281.
 - [6] Chow Paul, Soon O S. The design of an SRAM-based field programmable gate array-Part I: Architecture. *IEEE Trans.on VLSI Systems*, 1999, 7(2): 191–197.
 - [7] Khalid M, Rose J. The effect of fixed I/O positioning on the routability and speed of FPGAs. Proc. Canadian Workshop on Field-Programmable Devices, Montreal, Canada, 1995: 94–102.
 - [8] Yang S. Logic synthesis and optimization benchmarks, Version 3.0. Technical Report, Microelectronics Center of North Carolina, 1991.
 - [9] Sentovich E M. SIS: A system for sequential circuit synthesis. Technical Report, No. UCB/ERL M92/41 University of California, Berkeley, May 1992.
 - [10] Cong J, Ding Y. Flowmap: An optimal technology mapping algorithm for delay optimization in Lookup-Table based FPGA designs. *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, 1994, 13: 1–12.
 - [11] Betz V, Rose J. VPR: A new packing, placement and routing tool for FPGA research. Seventh International Workshop on Field-Programmable Logic and Applications, London, UK, 1997: 213–222.
 - [12] Wolf W. FPGA-Based System Design. Prentice Hall, 2004, chapter 3.1–3.3.
- 徐新民: 男, 1964 年生, 副教授, 硕士生导师, 目前主要从事 SOC 和嵌入式系统以及 VLSI 设计布局布线算法研究。
- 王 倩: 女, 1981 年生, 硕士, 研究方向为 FPGA 体系结构及其应用和嵌入式系统。
- 严晓浪: 男, 1947 年生, 教授, 博士生导师, 主要研究方向为集成电路 CAD、VLSI 设计自动化、系统级芯片(SOC)设计、深亚微米和微波 IC 及电网络的理论、分析、计算机仿真等。