

## 基于神经网络模型的优化布图技术综述<sup>1</sup>

胡卫明 徐俊华 严晓浪\*

(北京大学计算机科学技术研究所文字信息处理技术国家重点实验室 北京 100871)

\*(杭州电子工业学院 CAD 所 杭州 310037)

**摘要** 本文对可用于集成电路布图的神经网络模型和神经优化计算方法作了概括和总结, 比较了它们的优缺点及其在 IC 布图中的应用前景; 分析了神经网络在集成电路布图中的应用现状和存在的问题; 提出了各类优化计算神经网络模型求解集成电路布图问题的一些网络映射方法和应用方法; 提出了基于神经网络的布图算法在串行机上模拟的几种速度提高方法。

**关键词** 神经网络, 集成电路, 优化布图

**中图分类号** TN-052

### 1 引言

近年来, 人工神经网络的研究取得了巨大的进展, 人工神经网络独特的结构和独特的处理信息方法, 使其在许多实际应用领域中取得了显著的成效, 能够解决一些传统计算技术难以求解的问题。因此, 神经网络在解决集成电路布图问题上具有良好的应用潜力。

本文对可用于集成电路布图的神经网络模型和神经优化计算方法作了概括和总结, 其中包括较为传统的优化计算神经网络模型和神经优化计算方法, 它们在集成电路布图中的不同方面已有一定的应用; 也包括一些新的求解优化问题的神经网络模型和神经优化计算方法, 它们在集成电路布图中的应用尚在研究之中。本文提出了各类优化计算神经网络模型求解集成电路布图问题的一些网络映射方法和应用方法, 提出了基于神经网络的布图算法在串行机上模拟的几种速度提高方法。本文全面地、综合地研究神经网络在集成电路布图的应用方法, 试图为神经网络在集成电路布图中的应用技术的发展做一些有益的工作。

### 2 可用于 IC 布图的神经网络模型

Hopfield 网络求解优化问题的关键是确定网络映射方法和定义问题的能量函数。Hopfield 网络的优点是求解速度快, 缺点是容易陷入局部极小点, 并且它在求解组合优化问题时受规模的限制较大, 主要表现在: (1) 规模的增大, 使得能量函数的参数选取更加困难, 以致于收敛到不可行解或解的质量太差; (2) 在求解如旅行商 (TSP) 或布局一类的二维优化问题, 神经元的数目随着问题规模的增大而急剧增加。

文献 [1] 介绍的组合优化新方法是对 Hopfield 网络优化方法的改进, 当网络收敛到局部最优解时, 调节网络的权值和神经元的阈值, 使网络能够逃离局部最优解, 从而保证能求得较好质量的解。与 Hopfield 网络相比, 这种方法在集成电路布图中应用得更多一些。

均场退火方法既可以看作是一种新的神经网络计算模型, 又可视作对模拟退火的重大改进。它只需要在某个关键温度附近实施退火过程就可取得较好的效果, 因此计算时间大为减少, 同时又具有模拟退火相类似的优点。另外, 它可以用神经元归一化的方法处理行约束,

<sup>1</sup> 1998-08-18 收到, 1999-04-03 定稿  
中国博士后科学基金和国家自然科学基金资助项目

与 Hopfield 网络往能量函数中加惩罚项的方法相比,这种方法少了一个惩罚参数。均场退火网络在集成电路布图中具有良好的应用前景。

Boltzmann 机能收敛到全局最小值,但它在顺序执行时要达到全局最小值所需的时间太长,很难求解规模较大的集成电路布图问题,但它的优点是高度并行性,从而大大地提高了网络收敛速度,这为它在大规模集成电路布图中的应用提供了可能。

Guass 机把 Hopfield 网络运行速度快的优点和 Boltzmann 机能收敛到全局最小值的优点结合了起来。在 Guass 机中,神经元的输出函数是确定性的,但在每个输入上叠加了具有 Guass(正态)分布的白噪声,使得神经元的输出值是随机的。Guass 机将会在集成电路布图中取得较好的应用。

Markov 神经网络可以成功地解决 TSP 等问题,而且其性能超过一些传统的方法。在 Markov 神经网络中,组合优化问题是直接映射到网络的,求解问题所必须的神经元数目等于问题的参数,而在 Hopfield 模型中,神经元数目等于问题的参数的平方。不过, Hopfield 模型中神经元是二态的,而 Markov 神经网络中神经元的状态数目等于参数数目。

自组织特征映射神经网络也成功地用来求解组合优化问题,与其它网络相比更适用于解决二维优化问题。

### 3 研究现状

神经网络作为求解优化问题的一般性方法,已经开始用来解决集成电路布图问题,主要是用于划分、布局和通孔最小化,其中以用于布局居多。

目前神经网络还主要用于求解以面积最小为优化目标的电路划分问题。在文献 [2,3] 中应用 Hopfield 网络求解具有平衡约束的块间连线最少的二划分问题 (Bipartitioning), 取得了良好的效果; 文献 [4] 应用 Boltzmann 机求解与文献 [2,3] 基本相同的问题, 并探讨了并行 Boltzmann 机求解电路划分问题的可行性; 文献 [5] 应用模糊均场方法解决二块划分问题; 文献 [6] 应用连续的 Hopfield 网络求解多块划分问题 (Multiway Partitioning); 文献 [7] 把模糊集合论的方法引入自组织神经网络, 提出了一个能求解电路划分问题的模糊神经网络算法, 它求解的亦是多块划分问题; 文献 [8] 应用自组织神经网络解决版图规划设计中的二块划分问题; 文献 [9] 应用自组织神经网络求解性能驱动的多芯片模型 (MCM) 系统划分问题。

神经网络在集成电路布图的应用中研究得相对多一点的是布局问题。各种能求解优化问题的神经网络, 最初都试图从布局中寻求应用。多数可用于求解组合优化的神经网络模型已被用来求解布局问题或布局中的某些问题。有代表性的有:

(1) 文献 [10] 应用改进的 Hopfield 网络求解门阵列布局问题, 其优化目标为单元间的连线总长最短。为了使网络的神经元数目与单元数目成同一数量级, 算法采用了“四分”最小割的层次布局方法, 即先将单元集合四等分, 使得四个子单元集合间连线数最少, 再对每个子单元集合实施同样的过程, 如此下去直到每个子单元集合只剩下一个单元为止。文献 [11] 应用均场退火网络求解与文献 [10] 相同的问题, 算法也采用了“四分”最小割的层次布局方法, 取得了比文献 [10] 好得多的实验结果。

(2) 自组织特征映射神经网络较适合于解决二维优化问题, 因此它在布局中的应用比之于其它网络模型, 研究得更多一些。文献 [12,13] 将输出神经元对应成布局平面, 用单元间的连接度作为单元间相似性的量度来建立样本矢量。这种方法输入神经元数目和输出神经元数目都与单元数目同一数量级, 时间复杂性较高, 目前主要应用于门阵列布局。文献 [14,15] 将单元对应成输出神经元, 近邻函数用单元间的连接度表示, 输入样本仅为布局平面上单元安

放位置的坐标。这种方法输出神经元数目与单元数目同一数量级, 而输入神经元只有两个, 因此运行速度快。文献 [14] 将这种方法应用于门阵列布局, 取得很好的实验结果。文献 [15] 进一步将这种方法应用于任意单元布局问题, 但它是一个圆来近似地表示一个单元的, 显然有一定的局限性。文献 [16] 应用三层力向量自组织映射解决任意单元的布局问题, 通过一个中间隐含层来处理单元的任意长宽比和重叠约束问题, 文献 [17] 用类似的方法解决 L 形单元的布局问题。

(3) Boltzmann 机是一种与模拟退火原理相同的神经网络模型。文献 [18] 提出了一种基于 Boltzmann 机的以连线总长最短为优化目标的任意单元布局算法。算法具有高度的并行性。

通孔最小化问题分为有约束通孔最小化 (CVM) 和拓扑通孔最小化 (TVM)。文献 [19] 在布线的相交图模型基础上, 利用离散型 Hopfield 网络解决相交图的最大切割问题, 从而解决了双层布线的有约束通孔最小化问题。文献 [20] 提出了一个基于连续 Hopfield 网络的双层布线拓扑通孔最小化方法。算法能够解决两类 TVM 问题: 一类的布线通道为一长方形区域; 另一类的布线通道为两个半径不同的同心圆所夹的区域。这两类问题均为两端线网布线, 并且规定线网的两端不能在通道的同一侧。

模拟退火和遗传算法是随机神经网络模型的基础, 但它们本身也是组合优化算法, 广泛地应用于集成电路布图中划分、布局、总体布线、详细布线和压缩等各个方面, 已经成为集成电路布图的基础算法。相对于神经网络模型, 模拟退火和遗传算法在集成电路布图中的应用研究要广泛、成熟、深入得多。理论上能够证明模拟退火能够收敛到全局最小值, 但收敛到全局最小值所需的时间太长; 遗传算法的收敛速度比模拟退火要快一些, 但还不能证明它一定能够收敛到全局最小值。最近, 结合模拟退火和遗传算法各自优点的遗传退火算法越来越受到组合优化工作者的关注, 但是有关它在集成电路布图中的应用, 作者尚未见报道。

## 4 存在的问题

尽管已有人对神经网络模型在集成电路布图中的应用方面做了一些工作, 但是在集成电路工艺和人工神经网络技术均在飞速发展的今天, 这些工作是远远不够的。依作者所见, 还至少存在以下问题需要进一步探索解决:

(1) 神经网络在集成电路布图中的应用还主要用于解决一些传统的以缩小芯片面积为目标的布图问题, 没有与先进的半导体工艺相结合。随着集成电路工艺的不断发展, 神经网络应该能处理深亚微米工艺所要求的诸如时延、功耗、噪声和多层布线等问题。

(2) 神经网络模型的优化计算技术是在不断地发展着的, 而目前在布图上所用的神经网络模型和神经网络处理问题的方式、方法并未赶上神经优化技术的发展。即使用了新的神经网络模型, 用得也不够深入, 例如用均场退火网络求解布局问题, 还只局限于优化连线总长的门阵列布局。部分新的神经优化方法, 例如 Markov 网络和遗传退火算法, 尚未在集成电路布图中得到应用。

(3) 目前神经网络在集成电路布图中的应用中, 解决得较成功的主要是二块划分问题、门阵列布局问题和双层布线问题等。而在求解有约束的多块划分、任意单元的布局 and 多层布线等更复杂的问题上, 还存在不少问题, 需要进一步研究解决。

(4) 神经网络理论是建立在并行计算基础上的, 它在神经网络计算机或并行计算机上模拟更能体现其长处; 在普通串行机上模拟就会暴露出运行速度慢的缺点。在实际应用中, 可以根据具体问题, 通过改进问题的映射方法或改进神经网络模型等措施, 来提高算法的运行速度。

## 5 应用方法

### 5.1 二态神经网络在 IC 布图中的应用方法

上面介绍的 Hopfield 网络、均场退火方法、Boltzmann 机和 Gauss 机的神经元都是二态输出的 (这里称它们为二态神经网络), 它们的网络映射方法是类似的。现以划分、布局 and 分层为例, 说明二态神经网络映射方法:

(1) 将  $n$  个单元的  $p$  块划分问题映射为二态神经网络, 需要用二个二维二值换位矩阵  $[v_{ix}]_{n \times p}$  表示, 矩阵的行代表单元, 列代表划分块。换位矩阵中的元素是为 "0" 或 "1" 的二值变量, 每一个变量对应一个神经元。  $v_{ix} = 1$  表示单元  $i$  属于划分块  $x$ ;  $v_{ix} = 0$  表示单元  $i$  不属于划分块  $x$ 。映射上述的划分问题需要  $n \times p$  个神经元, 由于  $n \gg p$ , 所以所需神经元数目为  $O(n)$ 。可以层次式地用两块划分技术解决多块划分问题, 以减少神经元的数目, 从而提高算法的运行速度。

(2) 布局问题映射为二态神经网络, 需定义一个三维的二值换位矩阵  $[v_{m,x,y}]$ , 其中  $m$  是单元序号;  $(x,y)$  是单元放置在布局平面上的位置坐标 (对于门阵列布局问题可用序号代替位置坐标)。当单元  $m$  放置在  $(x,y)$  处,  $v_{m,x,y} = 1$ , 否则  $v_{m,x,y} = 0$ 。布局问题映射为二态神经网络需要神经元的数量为  $O(n^2)$ , 其中  $n$  为单元数目。不难看出随着布局规模的增大 (即  $n$  的增大), 网络神经元的数目也急剧增多, 从而需要过长的模拟时间, 这时可以采用两种方法来处理: 方法一是利用并行计算等方法提高模拟速度; 方法二是采用 "k 分" 最小割的层次布局方法, 即先将单元集合分成  $k$  个子集合 (此时需要  $kn$  个神经元), 再对每个子集合实施同样的过程, 如此下去直到每个子集合只剩下一个单元为止。第二种方法在每个层次的迭代计算上需要的神经元数量为  $O(n)$ , 与直接映射相比, 神经元的数量得到了减少, 算法的运行速度得到了提高。但是, 这也提高了算法设计上的难度, 而且有时要以牺牲解的质量为代价。

(3) 集成电路布线分层问题映射为二态神经网络的方法与电路划分的映射方法相类似。对于  $n$  条线段、 $l$  层的分层问题映射为二态神经网络, 需要用  $n \times l$  阶换位矩阵  $[v_{ix}]_{n \times l}$  表示: 行代表线段, 列代表 "层"。该问题需要  $n \times l$  个神经元。若线段  $i$  分在层  $x$ , 则神经元  $(i,x)$  的输出  $v_{ix} = 1$ , 否则  $v_{ix} = 0$ 。 $l$  层布线分层问题不能类同于划分问题, 层次式地用二层分层技术实现。

### 5.2 Markov 神经网络在 IC 布图中的应用方法

Markov 神经网络的映射方法与二态神经网络的映射方法是不相同的。二态神经网络的输出是二态的, 而 Markov 神经网络的输出是多态的。将问题映射为 Markov 神经网络无需将问题用换位矩阵表示, 直接映射即可。

(1) 将  $n$  个单元的  $p$  块划分问题映射为 Markov 神经网络, 只需  $n$  个神经元, 每个单元对应一个神经元, 但每个神经元有  $p$  个输出状态  $[v_i]$ , 当单元  $i$  分配在块  $x$  时,  $v_i = x$ 。

(2) 对于将  $n$  个单元放置在长为  $l$ 、高为  $h$  的平面上的布局问题, 映射为 Markov 神经网络的一种方法是用  $n$  个神经元, 每个神经元代表一个单元, 每个神经元有  $l \times h$  个输出状态  $[v_i]$ 。当单元  $i$  放置在  $(x,y)$  处时,  $v_i = x \times l + y$ 。可以采用 "k 块划分" 的层次布局方法来减少神经元的状态数目。

(3) 对于  $n$  条线段、 $l$  层的分层问题映射为 Markov 神经网络只需要  $n$  个神经元, 每个神经元代表一条线段, 每个神经元有  $l$  个状态  $[v_i]$ , 当线段  $i$  分配在层  $x$  时,  $v_i = x$ , 否则  $v_i \neq x$ 。

有关 Markov 神经网络在集成电路布图中的应用, 据作者所知, 尚无报道。

### 5.3 自组织神经网络在 IC 布图中的应用方法

自组织特征映射神经网络的输出状态是连续的, 它的网络映射方法与二态神经网络和 Markov 神经网络都是不相同的。自组织特征映射比较适合于求解划分和布局之类的二维优化问题, 但不适合于求解布线 (尤其是详细布线) 和分层等问题。

布局问题映射到自组织神经网络一般有两种方法: 一种是由输出神经元组成布局平面, 用单元的“相似性”来建立样本矢量; 另一种是将单元对应成输出神经元, 每个输出神经元的权值对应相应单元的位置坐标, 建立适当的近邻函数, 再进行自组织学习过程。这两种映射方法可以类似地应用于电路划分问题。

## 6 提高神经网络模拟速度的几种方法

在解决神经网络在串行机上模拟运行速度慢的问题时, 作者认为可以采用如下策略:

(1) 在使用神经网络模型求解问题之前, 先根据问题的特征来缩小问题的规模, 从而减少网络的神经元数目, 使解空间的大小得到限制。

(2) 改善映射方式。把一个问题映射为神经网络的方法不是唯一的, 不同映射方法的计算复杂性是不一样的, 如何设计出更好的映射方法是神经优化计算中应努力解决的前沿课题。

(3) 改进神经网络模型。使用神经网络模型时, 针对具体问题, 应该对神经网络模型或者它的学习方法作改进, 这样可以提高神经网络的运行速度。

(4) 建立新的神经网络模型。用神经网络模型求解一些新问题时, 会促使新的神经网络模型的建立, 因为新的神经网络模型能够求解这些问题, 或者更合适这些问题的求解。

## 7 结束语

本文对可用于集成电路布图的神经网络模型和神经优化计算方法作了概括和总结; 分析了神经网络在集成电路布图中的应用现状和存在问题; 提出了各类优化计算神经网络模型求解集成电路布图问题的一些网络映射方法和应用方法; 提出了基于神经网络模型的布图算法在串行机上模拟的几种速度提高方法。

### 参 考 文 献

- [1] 焦李成, 神经网络计算. 西安: 西安科技大学出版社, 1993, 第二章.
- [2] Yih J S, Mazumder P. A neural network design for circuit partitioning. IEEE Trans. on CAD, 1990, CAD-(9)12: 1265-1271.
- [3] Ball C F, Mlynski D A. A stochastic neural network approach for circuit partitioning. Proc. of ISCAS, USA: 1996, 687-690.
- [4] Koenig A, Wehn N, Glesnet M, Partitioning on Boltzmann machines. Proc. of ISCAS, San Diego CA USA: 1992, 324-327.
- [5] Ball C F, Just A, Mlynski D A. A fuzzy mean field approach for partitioning and placement. Proc. of ISCAS, USA: 1995, 373-376.

- [6] Kumar S, Forward K, Palaniswami M. An experimental evaluation of neural network approach to circuit partitioning. IEEE International Conference on Neural Networks, USA: 1995, 569-574.
- [7] 沈涛, 等. 模糊人工神经网络方法在电路划分问题中的应用. 计算机学报, 1992, 15(9): 641-647.
- [8] Mani N, A neural network model for circuit partitioning in floorplan design. IEEE international conference on systems, man and cybernetics, USA: 1995, 1676-1680.
- [9] 胡卫明, 等. MCM 划分的自组织神经网络. 计算机学报, 1998, 21(7): 642-649.
- [10] Sriram M, Kang S. M, A modified Hopfield network for the two-dimensional module placement. Proc. of ISCAS, New Orleans, Louisiana, USA: 1990, 1664-1667.
- [11] Unaltuna M K, Pitchumani V. Quadrisectioning based placement with a normalized mean field network. Proc. of ISCAS, USA: 1993, 2047-2050.
- [12] Hemani A, Postula A. Cell placement by self-organization. Neural Networks, 1990, 3(1): 377-383.
- [13] 沈涛, 等. 一种可用于布局的人工神经网络. 电子学报, 1992, 20(10): 100-105.
- [14] Zhang C X, Mlynski D A. VLSI placement with a neural network model. Proc. of ISCAS, New Orleans, Louisiana, USA: 1990, 475-478.
- [15] Chang R I, Hsiao P Y. Arbitrarily sized cell placement by self-organizing neural networks. Proc. of ISCAS, USA: 1993, 2043-2046.
- [16] Chang R I, Hsiao P. VLSI circuit placement with rectilinear modules using three layer force-directed self-organizing maps. IEEE Trans. on Neural Network, 1997, NN-8(5): 1049-1064.
- [17] Chang R I, Hsiao P Y. Force directed self-organizing maps for L-shaped cell placement using delta learning rule. IEEE International Conference on Neural Network, USA: 1994, 3381-3386.
- [18] Gloria A D, Faraboschi P, Olivieri M. Block placement with a Boltzmann machine. IEEE Trans. on CAD, 1994, CAD-13(6): 694-701.
- [19] 沈涛, 等. 一个基于人工神经网络的通孔最小化方法. 半导体学报, 1993, 14(11): 687-694.
- [20] Funabiki N, Takefuji Y. A neural network approach to topological vias-minimization problems. IEEE Trans. on CAD, 1993, 12( 6): 770-779.

## SURVEY ON NEURAL NETWORKS FOR PHYSICAL DESIGN OF ICS

Hu Weiming    Xu Junhua    Yan Xiaolang

(The Nat. Key Lab. of Text Proc. Tech., Peking Univ., Beijing 100871)

\*(CAD Center, Hangzhou Institute of Electronics Engineering, Hangzhou 310037)

**Abstract** This paper systematically summarizes the merits, defects and perspectives of the neural network approaches being able to solve the physical design tasks, analyzes the present research situation of applying neural networks to physical design, proposes some approaches for mapping physical design problems to neural networks, and presents some methods to raise running speed of the neural network based the algorithm, which is executed in sequential computer.

**Key words** Neural network, IC, Physical design

胡卫明: 男, 1968年生, 博士、博士后研究人员, 目前主要从事组合优化的神经计算、集成电路布局布线和 GIS 的研究.

徐俊华: 女, 1968年生, 工程师, 主要从事组合优化和神经网络的研究工作.

严晓浪: 男, 1947年生, 教授, 从事 IC-CAD 和设计自动化领域的教学与科研.