

HDTV 视频解码器中系统控制功能的实现¹

王少勇 王兆华

(天津大学电子信息学院 天津 300072)

摘 要 本文着重分析 HDTV 视频解码器中系统控制单元的各关键技术, 并给出了一套相应的硬件实现方案。

关键词 系统控制单元, 高清晰度电视 (HDTV), 视频解码器

中图分类号 TN949.1

1 引言

1998 年 9 月, 我国独立研制的数字高清晰度电视功能样机系统在北京成功地进行了地面广播实验, 这标志着我国广播电视技术的一大突破, 使我国成为继日本和美国之后第三个研制成功高清晰度电视功能样机的国家。HDTV 视频解码器是大规模集成电路设计的极限, 它的关键技术突破对于我国数字电视的发展和视频解码芯片的研制具有重大意义。

作为数字电视图像规格的标准, MPEG-2 并未对编解码算法的实现作任何硬性规定, 因此在解码器的研制中, 一些技术难点的突破便成了关键。本文所涉及的视频解码器中系统控制功能的实现便是其中之一。

2 系统控制功能的设计实现

系统控制单元是视频解码器中的重要组成部分, 它主要实现三部分功能: 输入数据的拆包处理和缓存, 音视频同步调整和显示缓存控制。以下对这三部分功能的设计与实现做一介绍。

2.1 缓存器管理 由于 MPEG-2 编码算法和图像信源的不平稳性 (或突发性), 造成各编码帧之间的数据量大小存在较大差异。实际应用中, 编码数据是在固定速率信道中传输的, 因此, 解码端需要一个缓存器来完成速率匹配, 以保证解码后像素显示速率的恒定。参考 ATSC 的有关规定, HDTV 视频解码器中的码率缓存器大小为 8Mb。

解复用器送到系统控制单元的是视频打包基本流 (简称 PES 流) 数据, 在写入缓存器之前, 要先进行拆包处理, 把输入的 PES 流分解成两部分: 一部分是 PES 头, 可从中提取解码时标 / 显示时标 (DTS/PTS), 用以恢复图像同步; 另一部分是符合 MPEG-2 MP@H-1440 级标准的图像编码数据, 这部分数据将被暂存在码率缓存器中, 并在相应的解码时刻逐帧移出缓存器, 送到核心解码单元进行解码处理。

缓存器管理中通常需对溢出情况进行处理, MPEG-2 标准中规定: 上溢时缓存器需做跳帧处理, 下溢时则重复显示上一帧已解码图像。由此不难看出, 上溢跳帧情况会对解码器的正常工作造成一定影响, 严重时甚至会影响到整个图像组的正常解码和显示。为避免上述情况的发生, MPEG-2 标准在编码算法中采取了一些防范措施, 然而信号在传输中的实际情况要复杂得多, 解码端码率缓存器出现上溢和下溢情况是无法避免的, 因此对缓存器的溢出情况进行管理是非常必要的。

为了把跳帧对图像序列解码的影响减到最小, 最为有效的方法是设置上溢门限, 每次对缓存器进行读出操作之前检测缓存器的满度, 超过门限值时进行跳帧处理。在 MPEG-2 视频序列中包含三种类型的图像帧, 按重要性和数据量大小排列依次为: I 帧 (帧内编码帧)、P 帧 (前向预测帧) 和 B 帧 (双向预测帧)。通常情况下, I 帧和 P 帧的数据量都远远大于一帧间隔内写入缓存器的数据量, 而且缓存器的读出速度要远大于其写入速度, 因此跳帧处理只在缓存器的当前移出帧是 B 帧时才进行。由此, 可推算出如下的门限值计算公式:

上溢门限 = 缓存器容量 - 输入码率 × 帧周期 + B 帧最小数据量 (Mb)

¹ 1998-11-05 收到, 1999-06-19 定稿
国家重大科技产业工程项目 (96-B06-01-07)

2.2 音视频同步 音视频同步是指在解码端实现音频回放帧与视频显示帧之间的同步, 就如同它们在编码端被采集时一样。为了达到这一目的, MPEG 标准中参考系统目标解码器 (STD) 模型定义了 PTS/DTS, 用来表示音频帧与视频帧间的同步关系和各相邻帧间的定时关系。然而, STD 是一个真实解码器的数学模型, 它把解码器对码流的操作理想化为瞬时完成。在实际解码系统中, 音频和视频解码器对数据的操作都不可能瞬时完成, 缓存器读出要花时间, 解码要花时间, 显示也要花时间, 这些延时不可能也不应该被忽略。而且, 由于音频帧和视频帧数据量的大小有着明显差异, 相应的延时也大不相同, 考虑起来非常复杂, 这就为解码端实现音视频同步带来很大困难。

通常实现音视频同步的方式有两种: 一种是以视频为基准, 通过重复或跳音频帧的方法来调整音视频同步; 另一种则反之, 以音频为基准, 通过对视频帧跳帧或重复显示来完成。考虑到变动视频帧不会明显影响显示效果, 一般采用后一种方法。

具体实现时, 在解码端根据节目时钟参考 (PCR) 恢复出与编码端同步的系统时钟, 音频解码器和视频解码器由各帧数据的 PTS 值可恢复出各自的帧同步, 并按照恢复出的帧同步进行解码、回放 / 显示。这样, 可确保相邻帧间的定时关系, 也无需不断对时延差进行校正。同时, 通过比较当前显示视频帧 PTS 值与当前回放音视频帧 PTS 值间的一致关系, 可确定两解码器间的同步情况, 并据此来调整音视频解码器的同步。

2.3 显示缓存控制 对于视频序列来说, 它的输入顺序和显示顺序是不同的, 如图 1 所示。显示缓存的一个主要功能就是视频序列的重排序。显示缓存控制就是通过指示显示缓存器刷新哪一帧存, 并把哪一帧存中的数据读出显示, 来实现视频帧顺序的重组。

如图 1 中所示, 若要完成视频序列的重排序, 最少需延时一个帧周期的时间, 这就意味着至少要缓存一帧已解码图像。综合考虑各方面因素, 我们采用缓存三帧的方案, 虽然增加了解码延时, 但显示缓存器在设计实现上技术难度较低, 而且可以选用成本较低的单端口 SRAM 器件来实现。

由于显示序列受码率缓存器上下溢的影响, 造成实际操作时的显示顺序是不规则的, 显示缓存控制的实现无法严格按照图 1 所示的显示顺序来进行, 而需根据当前显示帧的编码类型进行。

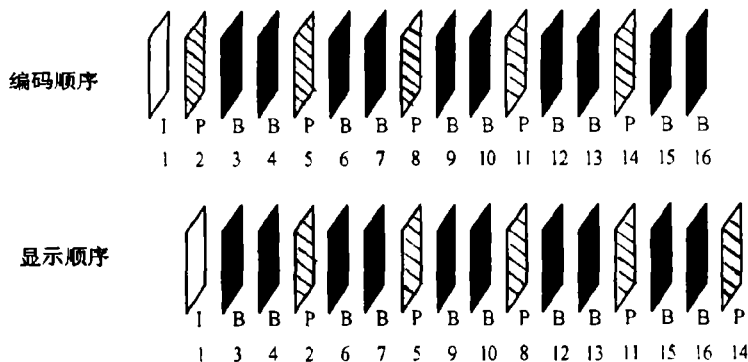


图 1 视频序列重排序示意图

2.4 基于 FPGA 的硬件实现方案 为实现以上功能, 系统控制单元可按图 2 所示结构组成。为了缩短开发周期, 实现系统控制单元对视频数据的高速处理, 使硬件设计具有最大的灵活性, 决定选用现场可编程器件。考虑到要在芯片内部实现辅助信息存储器模块, 我们选用了芯片内部带嵌入式 RAM 的 ALTERA 公司 FLEX 10K 系列 FPGA。图 2 中除码率缓存器是在芯片外用 SRAM 实现的以外, 其余部分在一片规模为 5 万门的 FPGA 内实现。

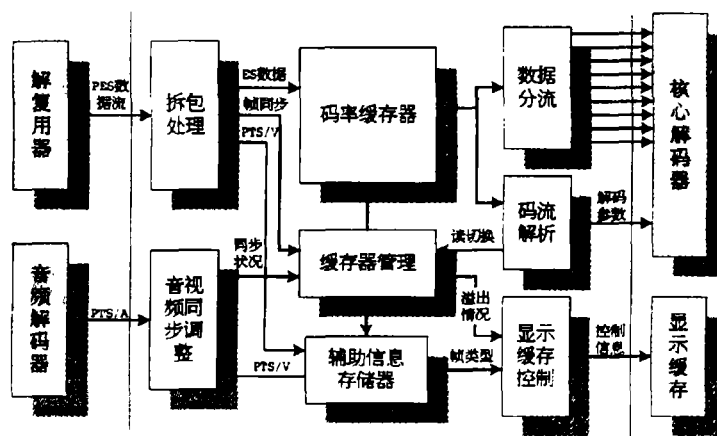


图 2 系统控制单元的构成

3 结束语

以上分析了 HDTV 视频解码器中系统控制单元的三个主要功能的设计实现，并给出了相应的硬件实现方案，按照这一方案设计的电路已应用于我国独立开发和研制的“数字高清晰度电视功能样机系统”视频解码器中，本方案经实验室和开路实验证明可以很好地满足处理高清晰度电视中视频数据流的要求，并且在长期运行中性能稳定可靠。

由于选用可编程器件实现，且设计完全符合 MPEG-2 标准的要求，因此，这一设计方案具有很好的灵活性和通用性，可以方便地集成到 ASIC 中，有利于 HDTV 的产业化发展。

参 考 文 献

- [1] ISO/IEC 13818-1 Generic Coding of Moving Pictures and Associated Audio Information: System, Jan. 20, 1995.
- [2] ISO/IEC 13818-2 Generic Coding of Moving Pictures and Associated Audio Information: Video, Jan. 20, 1995.
- [3] ATSC. ATSC Digital Television Standard. Oct. 4, 1995.

REALIZATION OF THE FUNCTION OF SYSTEM CONTROLS IN THE HDTV VIDEO DECODER

Wang Shaoyong Wang Zhaohua

(School of Electro. Infor. Eng. in Tianjin University, Tianjin University, Tianjin300072)

Abstract This paper analyses several key technologies of system control unit in the HDTV video decoder, and a hardware implementing method is given as well.

Key words System control unit, High Definition Television (HDTV), Video decoder

王少勇：男，1972 年生，博士生，主要研究领域为图像处理、数据通信。

王兆华：男，1937 年生，教授，博士生导师，主要研究领域为图像处理。