

一种低静态电流、高稳定性的 LDO 线性稳压器

陈东坡 何乐年 严晓浪

(浙江大学超大规模集成电路研究所 杭州 310027)

摘要 该文提出了一种低静态电流、高稳定性低压差(LDO)线性稳压器。LDO中的电流偏置电路产生 30nA的低温度漂移偏置电流,可使LDO的静态工作电流降低到 4μA。另外,通过设计一种新型的动态Miller频率补偿结构使得电路的稳定性与输出电流无关,达到了高稳定性的设计要求。芯片设计基于CSMC公司的 0.5μm CMOS混合信号模型,并通过了流片验证。测试结果表明,该稳压器的线性调整和负载调整的典型值分别为 2mV和 14mV;输出的最大电流为 300mA;其输出压差在 150mA输出电流,3.3V输出电压下为 170mV;输出噪声在频率从 22Hz到 80kHz间为 150μV_{RMS}。

关键词 低压差线性稳压器,静态电流,稳定性,线性和负载调整

中图分类号: TN401, TN86

文献标识码: A

文章编号: 1009-5896(2006)08-1526-04

A Low-dropout Regulator with Low Quiescent Current and High Stability

Chen Dong-po He Le-nian Yan Xiao-lang

(The Institute of VLSI Design, Zhejiang University, Hangzhou 310027, China)

Abstract An unconditionally stable low-dropout regulator and low quiescent current is presented. The Low DropOut (LDO) based on a high precision CMOS current reference, which is comprised of subthreshold transistors and has small temperature coefficient, provides a low quiescent current of approximately 4μA. Furthermore, by utilizing the design method of active Miller frequency compensation, the proposed LDO's stability is independent of the load or the Equivalent Series Resistance (ESR) of the off-chip capacitor. The chip design is based on 0.5μm CMOS mixed-signal process of CSMC. The simulation and experimental results show that the line and load regulations are only 2mV and 14mV, respectively. The dropout voltage is only 170mV at 150mA output current when output voltage is 3.3V. The output noise is 150μV_{RMS} when frequency range is from 22Hz to 80 kHz.

Key words Low-dropout regulator, Quiescent current, Stability, Line and load regulation

1 引言

DC/DC变换器已广泛应用于各种移动电子系统中,如移动通信终端、便携式电脑、PDA等。而LDO(Low DropOut)线性稳压器由于具有结构简单、成本低廉、低噪声、低功耗及较小的封装尺寸等突出优点,在便携式电子产品中得到广泛的应用^[1-5]。在便携电子产品中,丰富的功能对功耗的要求与电池的使用时间之间的矛盾越来越突出,这就要求电源具有极高的转换效率^[1-3]。LDO的电源转换效率定义为

$$\eta = \frac{I_{out}V_{out}}{(I_{out} + I_q)V_{in}} \times 100\% \quad (1)$$

其中 I_{out} 是输出电流, V_{out} 为输出电压, I_q 为静态工作电流, V_{in} 为输入电压。要使转换效率提高,必须降低输入输出压差 $V_{Dropout}$ 和静态电流 I_q 的值。通常的LDO静态电流的典型值为40~100μA,压差为200~400mV^[1]。另外,稳定性也是LDO的关键指标。传统的LDO采用输出电容上的ESR(Equivalent Series Resistance)来产生零点与调整管栅极上的极点相互抵

消的办法使系统稳定^[2-4]。但是ESR容易受环境,如温度等的影响,变化较大,而且输出电流也被限制在很小的范围内^[4,5]。

针对上述问题,本文设计了一种可产生30nA低温度漂移电流电路^[6]作为LDO的偏置,达到了降低静态电流,提高转换效率的目的。另外,本文提出了在Miller补偿中引入一个可跟踪输出电流变化的零点去抵消输出极点^[3,7,8]的频率补偿技术,使LDO的稳定性与输出电流无关,提高了LDO的稳定性。芯片测试结果验证了以上设计思想。

2 LDO 线性稳压器的电路设计与性能分析

2.1 LDO 线性稳压器的系统结构

图1是LDO线性稳压器的结构框图,由以下几个部分组成:电流偏置电路(BIAS)、带隙基准电压源(bandgap)、带电流限制与短路保护(current limit)的误差放大器(ERRAMP)、调整管(pass transistor)和反馈电阻(R_{F1-2})。其中电流偏置电路为LDO提供低温漂、高精度的偏置电流;带隙基准为ERRAMP提供参考电压 V_{ref} ;误差放大器将输出反馈电压 V_{FB} 与参考电压 V_{ref} 进行比较,并放大其差值用来控制调整管的

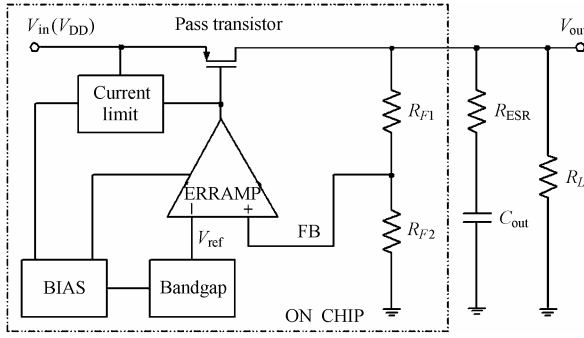


图1 LDO 结构框图

Fig.1 Structure of the proposed LDO

导通状态,从而得到稳定的输出 V_{out} ,其值可表示为^[3]

$$V_{out} = V_{ref} \left(1 + \frac{R_{F1}}{R_{F2}} \right) \quad (2)$$

ERRAMP自带的电流限制电路在输出电流过大时将其限制在固定值上;短路保护电路会在输出 V_{out} 与地短路时,快速关断芯片并将输出电流限制在较低的值上。

2.2 电流偏置电路

静态工作电流主要是电路中各支路到地的偏置电流之和,为了减小静态功耗,必须降低偏置电流的大小。本文提出了一种可以产生30nA参考电流的偏置电路。如图2所示,其中NMOS管 M_1 – M_3 工作在亚阈值区域;PMOS管 M_4 – M_7 构成电流镜; M_{S1} – M_{S3} , C_1 和 C_2 构成启动电路。由于 M_4 – M_6 是电流镜结构,所以有

$$I_3 : I_2 : I_1 = K_4 : K_6 : K_5 \quad (3)$$

其中 K_4 、 K_5 、 K_6 为 M_4 – M_6 的宽长比, M_1 – M_3 工作在亚阈值区域,则流过 M_1 和 M_2 的电流可以表示为^[8]

$$I_1 = K_1 I_{D0} \exp \left(\frac{V_{G1} - V_{S3}}{\zeta V_T} \right) \quad (4)$$

$$I_2 = K_2 I_{D0} \exp \left(\frac{V_{G2}}{\zeta V_T} \right) \quad (5)$$

其中 I_{D0} 为单位饱和电流, $V_{T0} = kT_0/q$, ζ 是亚阈值斜率因子, K_1 , K_2 为 M_1 , M_2 的宽长比。由式(3)、式(4)、式(5)和 $V_{G1} = V_{G2}$ 可以得到

$$V_{S3} = \zeta V_T \ln \left(\frac{K_6 K_1}{K_5 K_2} \right) \quad (6)$$

在自偏电路中, V_{S3} 对偏置电流的稳定起决定作用。一般的设计中用运放来构成负反馈,从而稳定 V_{S3} ^[6]。为简化设

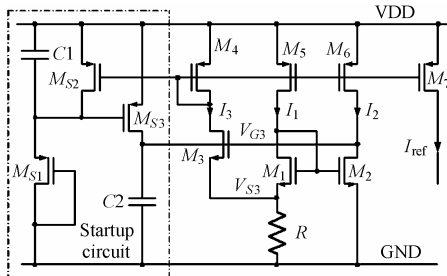


图2 所提出的电流基准电路

Fig.2 The schematic of the current reference circuit

计,本设计用 M_3 , M_4 和 M_1 所在支路构成负反馈电路,用来稳定 M_1 与 M_3 的S端电位 V_{S3} 。其原理为:启动后,电容 C_2 上积累一定的电荷,会稳定 M_3 的栅极电压 V_{G3} ,假设 V_{S3} 增大,由于 V_{G3} 在 C_2 的作用下,电压不能突变,所以流过 M_3 的电流 I_3 将随 V_{S3} 的增大而减小;又由式(3)可知, I_1 也会减小。 V_{S3} 可由 I_1 和 R 表示为

$$V_{S3} = I_1 R \frac{(K_4 + K_5)}{K_5} \quad (7)$$

从式(7)可知, V_{S3} 会随着 I_1 减少而减少,所以 V_{S3} 会稳定在一固定值上,以保证输出电流的稳定。把式(4)代入式(7)可得

$$I_1 = \frac{\zeta V_T}{R} \cdot \frac{K_5}{(K_4 + K_5)} \ln \left(\frac{K_6 K_1}{K_5 K_2} \right) \quad (8)$$

从式(8)可以看出,如果让 R 具有正的温度系数,就可以抵消 V_T 的温度系数。本文在 R 电阻中同时引入具有负温度系数的POLY电阻和具有正温度系数的NWELL电阻,并使其一次温度系数的和正好抵消 V_T 的温度系数。所以基准电流的温度特性,主要由两种电阻的二次温度系数决定,这是一个曲率基本固定的抛物线。图3是电流基准随温度与电源电压变化的曲线图。从图3中可以看到,在 $-40 \sim 150^\circ\text{C}$ 的温度范围内,偏置电流相对于温度的变化小于2.5%。

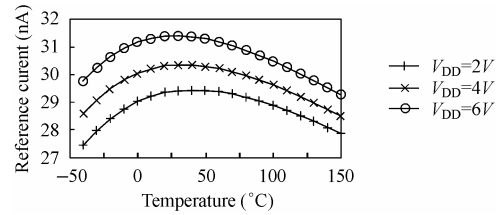


图3 不同温度与电源电压下的基准电流

Fig.3 Simulated reference current at different temperature and supply voltage

2.3 误差放大器

误差放大器设计的难点是频率补偿。一般的误差放大器都是多极点结构,为了使系统稳定,并提供快速的环路响应,必须对电路进行频率补偿^[9-11]。经典的LDO设计是用外接电容 C_L 的ESR在系统的开环传递函数中引入一个零点,从而抵消一个极点的办法来达到环路稳定^[1,2,3]。

但是经典LDO的频率补偿有以下几个缺点:首先,由于主极点值与负载电阻成正比,所以输出电流的变化会改变环路带宽^[2,3];其次,输出电容的寄生电阻(ESR)容易受温度等的影响,使得零点与极点的抵消失效,所以稳定性变差^[1,4,5]。

针对这些缺点,本文提出了一种动态Miller频率补偿结构^[3],图4是其电路结构图。 V_p 是反馈信号, V_{ref} 来自带隙基准,第1级用折叠式共源共栅放大器来提供足够大的增益;第2级用源跟随器作为输出缓冲,使电路能驱动阻值低的负载;采用PMOS晶体管 M_0 作为调整管可以看成第3级,来提供足够低的输入输出压差; R_{F1} , R_{F2} 和 C_F 组成反馈网络;

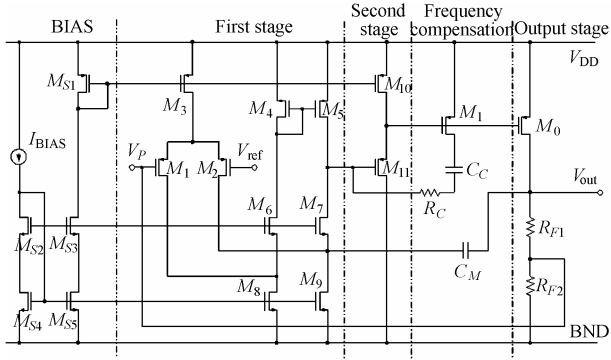


图 4 本文的误差放大器电路图

Fig.4 The schematic of the proposed error amplifier

PMOS晶体管 M_1 , R_C , C_C 和 C_M 构成频率补偿网络。

在图 4 的频率补偿中, 晶体管 M_1 工作在线性区, 可以看成是一个阻值随 M_0 栅极电压变化的线性电阻。假设其等效电阻为 R_M , 则 R_M , R_C 和 C_C 可以在误差放大器的开环传递函数中产生一个随负载变化的零点, 这个零点可以用来抵消同样随负载变化的输出极点^[3]。而Miller电容 C_M 的极点分裂作用可以将主极点移到第 1 级的输出上, 并把一个附加极点推向高频。图 5 是误差放大器的等效小信号模型, 把调整管 M_0 看成第 3 级, g_{m1-3} 分别是 3 级电路的等效跨导; R_{1-2} 与 C_{1-2} 分别是第 1 级和第 2 级电路输出到地的等效电阻与电容。 C_C 和 C_M 是补偿电容, M_1 的等效电阻 R_M 与 R_C 之和为 R_Z , 在这里附加电阻 R_C 是因为单独的 M_1 不能提供足够大的电阻来补偿和抵消输出极点。假设 $R_1g_{m1}, R_2g_{m2}, R_Lg_{m3} > 1$; $C_M, C_L, C_C \gg C_{1,2}$ 。则从该小信号模型可以得出开环传递函数为^[9-11]

$$\frac{V_{FB}(s)}{V_+} = A_{DC} \left(\frac{R_{F2}}{R_{F1} + R_{F2}} \right) \left(1 + \frac{s}{\omega_{z1}} \right) \left(1 + \frac{s}{\omega_{z2}} \right) \left/ \begin{aligned} & \left((1 + s \cdot C_M R_1 R_2 R_L g_{m2} g_{m3} + s^2 \cdot C_C C_M R_1 R_Z) \right. \\ & \cdot [1 + s \cdot (R_L C_L + R_2 C_2 + R_2 R_L g_{m2} g_{m3} R_{ESR} C_L) \\ & \left. + s^2 \cdot R_2 C_2 R_L C_L] \right) \end{aligned} \right. \quad (9)$$

其中 $A_{DC} = g_{m1}g_{m2}g_{m3}R_1R_2R_L$, $\omega_{z1} = 1/R_{ESR}C_L$, $\omega_{z2} = 1/R_ZC_C$ 。假设 R_{ESR} 很小, 则式(9)可以简化为

$$\frac{V_{FB}(s)}{V_+} = A_{DC} \left(\frac{R_{F2}}{R_{F1} + R_{F2}} \right) (1 + s \cdot R_Z C_C) (1 + s \cdot R_{ESR} C_L) \left/ \begin{aligned} & [(1 + s \cdot C_M R_1 R_2 R_L g_{m2} g_{m3}) (1 + s \cdot C_C R_Z / R_2 R_L g_{m2} g_{m3}) \\ & \cdot (1 + s \cdot R_2 C_2) (1 + s \cdot R_L C_L)] \end{aligned} \right. \quad (10)$$

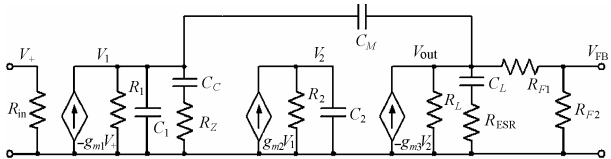


图 5 所提出的误差放大器的小信号模型

Fig.5 The small signal model of the proposed error amplifier

由于Miller电容 C_M 的极点分裂作用, 极点 $\omega_{p2} =$

$R_2 R_L g_{m2} g_{m3} / C_C R_Z$ 被推至单位增益带宽以外; 通过仔细设计 $\omega_{p3} = 1/R_Z C_2$ 也被推至单位增益带宽外, 所以不影响系统的稳定。而零点 $\omega_{z2} = 1/R_Z C_C = 1/(R_M + R_C)C_C$, R_M 随 M_0 栅极电压的增大而增大, 而栅极电压的增大是由于负载电阻的增大造成的, 所以 R_Z 可以动态跟踪 R_L 变化, 零点 ω_{z2} 可与动态的极点 $\omega_{p4} = 1/(R_L C_L)$ 相互抵消, 从而使系统在单位增益带宽内只剩下一个主极点和一个位于左半平面的零点^[9-11]。图 6 是仿真得到的环路增益频率响应曲线, 从图 6 中可以看到, 在负载电流从 0 到 150mA 变化, 相位裕度都大于 65° 。在输出电流为 150mA 时, 增益为 72dB, 可以满足 LDO 对误差放大器增益的要求。

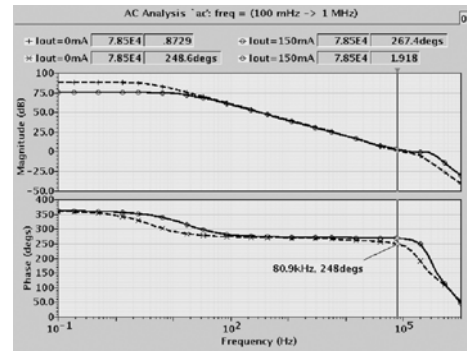


图 6 在不同输出电流下的环路增益

Fig.6 The simulated loop gain against different output current

3 测试结果

该电路芯片采用 CSMC 的 $0.5\mu\text{m}$ CMOS 混合信号工艺模型。图 7 是该 LDO 芯片的显微照片, 其尺寸为 $960 \times 770\mu\text{m}^2$ 。该稳压器的输入电压范围为 2~6V; 输出电压为 1.2~3.5V; 输出电流的最大值为 150mA。图 8 是测试得到的静态电流随输入电压变化的曲线。从图 8 中可以看到, 在输入电压为 3V 时, 其静态电流仅为 $3.6\mu\text{A}$ 。

为了验证所设计的 LDO 的稳定性, 用波形发生器 (Agilent 33220A)、直流电源 (Agilent E3631A) 和四通道示波器 (Tektronix TDS 2024) 测试分析了芯片的线性瞬态响应和负载瞬态响应。在测试时, 输出电容为 $1\mu\text{F}$ 的陶瓷电容, 负载使用电阻代替, 用一个 NMOS 开关管来得到负载的阶跃响应。

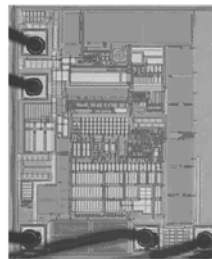


图 7 LDO 显微照片

Fig.7 Micrograph of LDO

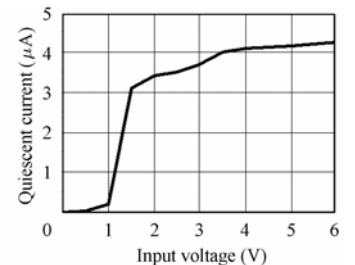


图 8 静态电流 VS. 输入电压

Fig.8 Measured quiescent current VS input voltage

在负载从 1~150mA 阶跃变化时, 得到图 9 所示的负载瞬态

响应,如图9中所示,建立时间小于 $50\mu\text{s}$,输出电压跳变小于 75mV 。在电源电压从 $4\sim 6\text{V}$ 阶跃变化时,得到图10所示的线性瞬态响应,其输出电压跳变小于 5mV 。从图9和图10可以看出,电路具有优异的稳定特性,在各种瞬态响应时,都不会发生振荡,建立时间快,输出电压跳变小,这些都是因为该LDO具有先进的频率补偿,并具有高度的稳定性。表1总结了该LDO的各项性能。

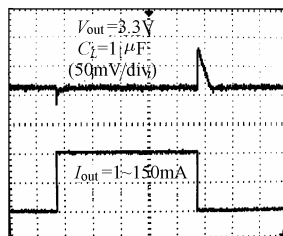
Time ($50\mu\text{s}/\text{div}$)

图9 负载瞬态响应

Fig.9 Measured load transient response

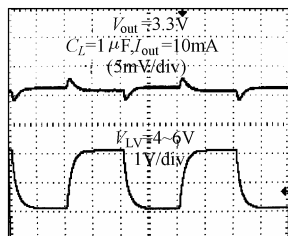
Time ($250\mu\text{s}/\text{div}$)

图10 线性瞬态响应

Fig.10 Measured line transient response

表1 LDO性能总结表

Tab.1 Summary of performance of the proposed LDO

工艺	0.5 μm CMOS 2P2M
芯片面积	960 $\times$ 770 μm^2
输出电压	1.2 $\sim$ 3.5V
线性调整	2mV@ $V_{\text{out}} + 0.5 < V_{\text{in}} < 6$
负载调整	14mV@ $0 < I_{\text{out}} < 150\text{mA}$
静态电流	4 μA
输入输出压差	170mV@ $V_{\text{out}} = 3.3\text{V}, I_{\text{out}} = 150\text{mA}$
PSRR	-50dB@1kHz, $V_{\text{out}} = 3.3\text{V}, I_{\text{out}} = 10\text{mA}$
噪声	150 μV_{RMS} @ $f=22\text{Hz}$ to 80kHz

4 结束语

本文设计了一种低静态电流、高稳定性LDO线性稳压器。其中的电流偏置电路能产生 30nA 的低温度漂移偏置电流,有效地降低了LDO的静态工作电流到 $4\mu\text{A}$ 。另外,通过采用一种新型的动态Miller频率补偿结构使电路的稳定性与输出电流无关,提高了LDO的稳定性。电路设计基于CSMC公司的 $0.5\mu\text{m}$ CMOS混合信号模型,并通过了流片验证。测试结果表明,该稳压器的线性调整和负载调整的典型值分别为 2mV 和 14mV ,输出的最大电流为 300mA ,其输出压差在 150mA 负载电流, 3.3V 输出电压下为 170mV 。输出噪声在频率从 22Hz 到 80kHz 间为 $150\mu\text{V}_{\text{RMS}}$ 。

- [1] Leung K N, Mok P K T. A capacitor-free CMOS low-dropout regulator with damping-factor-control frequency compensation. *IEEE Journal of Solid-State Circuits*, 2003, 38(10): 1691–1720.
- [2] Leung K N, Mok P K T, Ki W H. A novel frequency compensation technique for low-voltage low-dropout regulator. *IEEE International Symposium on Circuits and Systems, Florida: Orlando, May 1999, Vol.5: 102–105.*
- [3] Kwok K C, Mok P K T. Pole-zero tracking frequency compensation for low dropout regulator. *IEEE International Symposium on Circuits and Systems, Arizona: Scottsdale, May 2002, vol. 4: 735–738.*
- [4] Rincon-Mora G A, Allen P A. A low-voltage, low quiescent current, low drop-out regulator. *IEEE J. of Solid-State Circuits*, 1998, 33(1): 36–44.
- [5] Chava C K, Silva-Martínez J. A frequency compensation scheme for LDO voltage regulators. *IEEE Trans. on Circuits Syst. I: regular paper*, 2004, 51(6): 1041–1050.
- [6] Lee C K, Park H J. All-CMOS temperature independent current reference. *Electronics Letters*, 1996, 32(14): 1280–1281.
- [7] Leung K N, Mok P K T. Analysis of multistage amplifier-frequency compensation. *IEEE Trans. on Circuits Syst. I: Fund. Theory Appl.*, 2001, 48(9): 1041–1056.
- [8] Razavi B. Design of Analog CMOS Integrated Circuits. Boston, MA: McGraw-Hill, 2001: 361–371.
- [9] Rincon G A. Active capacitor multiplier in Miller compensated circuits. *IEEE J. of Solid-state Circuits*, 2000, 35(1): 26–32.
- [10] Thandri B K, Silva-Martinez J. A robust feedforward compensation scheme for multistage operational transconductance amplifiers with no Miller capacitors. *IEEE J. of Solid-State Circuits*, 2003, 38(2): 237–243.
- [11] Fan Xiaohua, Mishra C. Single Miller capacitor frequency compensation technique for low-power multistage amplifiers. *IEEE J. of Solid-State Circuits*, 2005, 40(3): 584–592.

陈东坡: 男, 1980年生, 博士生, 研究方向为数模混合集成电路设计。

何乐年: 男, 1962年生, 教授, 博士生导师, 研究方向为半导体器件与模拟集成电路设计。

严晓浪: 男, 1947年生, 教授, 博士生导师, 浙江大学信息学院院长, 浙江大学电气工程学院院长, 浙江大学超大规模集成电路设计研究所所长, 主要从事系统级芯片的教学与科研工作。