

双端置数技术与高值 CMOS 触发器设计*

吴训威

(杭州大学电子工程系 杭州 310028)

陈其翔

(北京联合大学机械工程学院 北京 100020)

摘要 在分析以往高值触发器困难的基础上本文提出了双端予置的逻辑设计方案,应用传输函数理论对四值 CMOS 触发器进行了电路设计。结果表明,与存贮相同信息量的二个二值触发器相比,它有较简单的结构与较快的工作速度。

关键词 多值逻辑, CMOS, 触发器, 传输函数理论

1 引言

在多值逻辑电路的研究中起着指导作用的 Post 代数^[1]中的变量用于描写电路中的多值信号,而根本不考虑电路中的开关元件,这导致了下述困难:

(1) Post 代数无法指导多值门电路内部基于二状态开关元件的电路设计,而这种情况却被误认为是由于缺乏多状态开关元件所致^[2]。

(2) Post 代数指导多值电路设计必然导致其具有译码器——二值内部电路——编码器的不理想的电路结构模式^[3]。

以上情况表明了,在多值电路的研究中只考虑一类变量描写信号是不充分的。作者认为,应该在研究中考考虑开关元件的存在,因此应该引入两类变量(开关变量与信号变量)以及两类相应的代数系统(开关代数与 Post 代数)才能全面地描写多值电路的工作原理。

图1表示了开关代数与 Post 代数之间的区分与联结,图中两类代数系统之间的两种联结运算则用于反映电路中开关元件与信号之间的相互作用。作者已提出适用于 CMOS 电路的传输函数理论。该理论能较好地用于指导二值^[4]与多值^[5-7] CMOS 电路在开关级的电路设计,本文将考察传输函数理论在高值 CMOS 触发器设计中的指导作用,从而使对该理论的实用性有一个完整的研究。

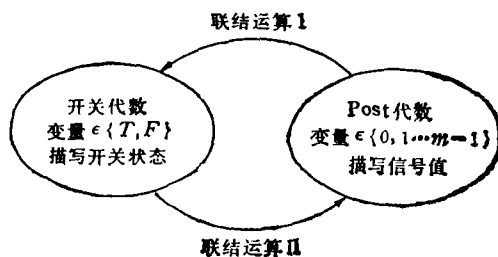


图1 开关代数与 Post 代数间的区分与联结

1992-10-29 日收到,1993-01-11 定稿

* 浙江省自然科学基金资助项目

吴训威 男,1940年生,教授,中国电子学会会士,IEEE 高级会员,从事数字电子学专业。

陈其翔 男,1937年生,副教授,从事电子学专业。

2 高值触发器的逻辑设计

合适且不复杂的存储单元一直是多值逻辑实用化中的一项关键研究^[8]。对它的研究可分为二部份：(1)逻辑设计，(2)具体的电路结构设计。文献[9]指出，触发器的逻辑设计可根据是否存在传输开关来分类。如不存在，则一般采用交叉反馈的逻辑结构，作者在文献[10]中提出的主从型触发器即属此例。若存在传输开关，如 CMOS 电路，则可采用整形器加开关控制的逻辑结构，作者在文献[11]中提出的三值 D 型触发器采用了该结构，如图 2(a) 所示。图 2(b) 为它的图形符号。图 2(a) 中有二个带直接置数功能的整形器，它的三个直接置数信号 $S_{iD} \in \{0, 2\}$ 在取 2 时起置数作用，使 $Q = i$ 。图 2(a) 中另有二个受二值时钟 CP 控制的二选一数据选择器，它是由二个反相控制的 CMOS 传输开关输出并接所组成。图 2 中的触发器在 $CP = 0$ 时主触发器输入存储信号 D ，从触发器处于存储状态，而 $CP = 2$ 时工作情况相反，因此该触发器在 CP 的上跳沿时输出状态 Q 发生转换。

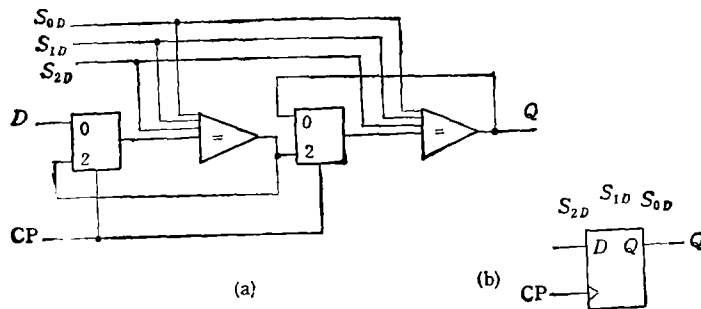


图 2 三值 CMOS 触发器的逻辑结构

图 2 所示三值触发器的结构难以推广到高值 ($m > 3$) 的情况，原因之一是图中的整形器由于有 $m+1$ 个输入端，因此电路将变得复杂，原因之二是该触发器将需 m 个予置端而使多值逻辑的优点被丧失。事实上，为了利用多值信号携带信息量大的特点，予置端可设置为二个：(S, P_D)，其中 S 表示予置的值，是一个 m 值信号，而 P_D 为予置命令，它是一个二值信号 ($0, m-1$)。当 $P_D = 0$ 时产生予置作用， $Q = S$ ；而当 $P_D = m-1$ 时不起作用，即 Q 保持不变。根据如上分析，一个高值 CMOS 触发器可采用如图 3 所示

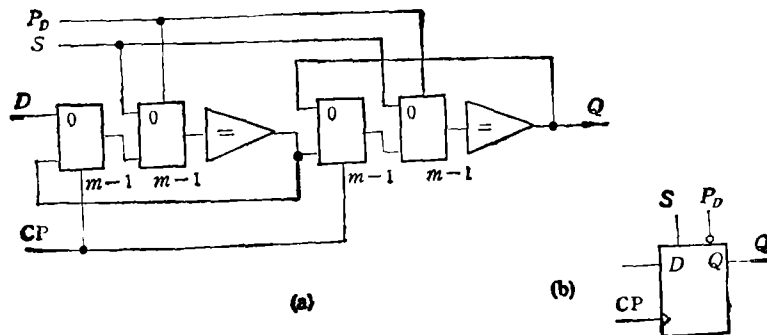


图 3 高值 CMOS 触发器的逻辑结构

的逻辑结构。图 3(a) 由二个整形器及四个二选一数据选择器所组成, 图 3(b) 为它的图形符号, 显然, 上面对图 2 结构分析的二种缺点均不再存在。

3 基于传输函数理论的具体电路设计

在传输函数理论中^[5], 开关变量 $\alpha, \beta, \dots$ 取值为 (T, F) , 开关变量间的基本运算为与 $(\cdot)$, 或 $(+)$, 非 $(\sim)$ 。信号变量 $x, y, \dots$ 可取 m 个值 $(0, 1, \dots, m-1)$, 它们之间的基本运算即为 Post 代数中的运算。在二类变量之间的联结运算为

阈比较运算

$$x \triangleq \begin{cases} T, & (x > t); \\ F, & (x < t), \end{cases} \text{ 和 } x' \triangleq \begin{cases} T, & (x < t); \\ F, & (x > t). \end{cases}$$

电压传输运算

$$x * \alpha \triangleq \begin{cases} x, & (\alpha = T), \\ \Phi, & (\alpha = F). \end{cases}$$

并运算

$$(x * \alpha) \# (y * \beta) \triangleq \begin{cases} x * \alpha, & \text{如 } y * \beta = \Phi; \\ y * \beta, & \text{如 } x * \alpha = \Phi. \end{cases}$$

上述定义式中 t 为检测阈, Φ 为空, 表示高阻状态。根据上述运算的物理实现及有关性质的讨论^[5], 便可对图 3 中整形器及二选一数据选择器的输出进行综合, 并获得具体的 CMOS 电路设计。以下我们将对 $m=4$, 即四值触发器进行设计。

3.1 四值 CMOS 整形器

根据传输函数理论, 对四值变量 x 有如下展开形式:

$$x_{re} = 0 * x^{0.5} \# 1 * (0.5x \cdot x^{1.5}) \# 2 * (1.5x \cdot x^{2.5}) \# 3 * x^{3.5}.$$

上式中 x_{re} 的各级输出电平是由地(0)及电压源(1, 2, 3)产生, 因此已是整形后的输出。与上述函数形式相对应的 CMOS 电路如图 4(a) 所示, 图中 MOS 管旁的数字表示开启阈值。而三个内含数字的反相器表示三种阈 t 反相器, 它们的电路如图 4(b) 所示, 逻辑

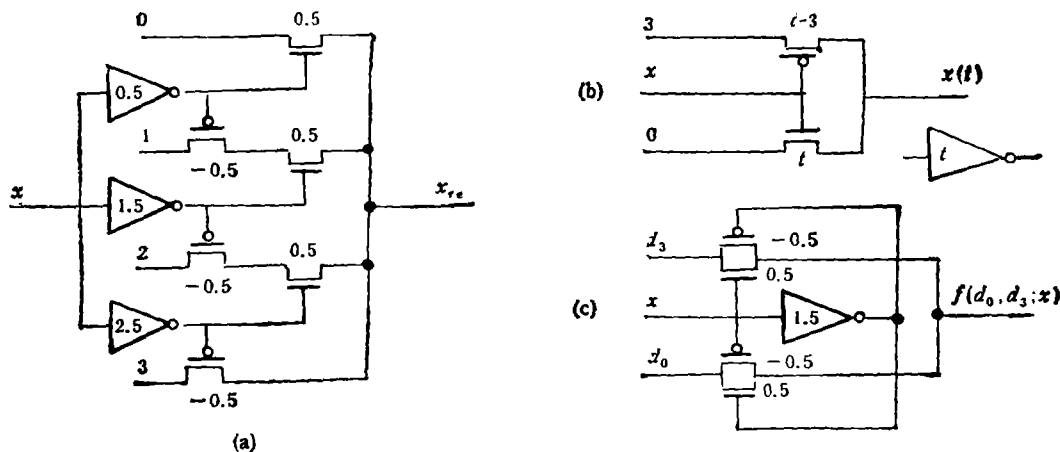


图4 (a) 四值整形器 (b) 阈 t 反相器 (c) 二选一四值数据选择器

功能则由下式表示:

$$\overline{x(t)} = \begin{cases} 3, & (x < t); \\ 0, & (x > t). \end{cases}$$

3.2 二选一四值数据选择器

设 $x \in \{0, 3\}$ 为控制信号, 而 d_0, d_3 为四值数据输入信号, 则该数据选择器的逻辑功能为

$$f(d_0, d_3; x) = \begin{cases} d_0, & \text{如 } x = 0; \\ d_3, & \text{如 } x = 3. \end{cases}$$

按传输函数理论, 它有如下形式:

$$f(d_0, d_3; x) = d_0 * x^{1.5} \# d_3 * x^{1.5}.$$

如采用互补结构实现变源传输, 则可得与上式相应的电路实现, 如图 4(c) 所示。由于相同控制变量的数据选择器可以公用一个阈 1.5 反相器, 因此, 一个具有图 3(a) 结构的四值触发器按图 4 的设计只需 44 个 MOS 管。作为对比, 一个采用主从结构的传统二值 CMOS 触发器需要 26 个 MOS 管(设计中带直接置数功能的整形器 B 由二个 CMOS 或非门组成)。由于存贮一个四值信息需要二个二值触发器, 因此二值方案所需 MOS 管将增至 52 个, 并且引线端数也因此而增加一倍。应该指出的是, 用一个四值触发器代替二个二值触发器的意义不仅在于节省电路中的 MOS 管及减少连接线, 而更重要的是可在数据串行传输时加快电路的工作速度, 因为四值触发器所组成的移位寄存器与传统的二值移位寄存器相比, 它的长度减半, 因此它只需一半时间即可传送相同的信息量。

4 结论

多值触发器是多值时序电路的基本存贮元件, 因此, 任何一种有关多值逻辑电路的设计技术均必需考虑多值触发器的设计。本文提出的二端直接置数技术则为高值触发器提供了一个简单明了的逻辑结构设计。

本文应用传输函数理论完成了对 CMOS 四值触发器的具体电路设计, 这表明, 传输函数理论不仅可以较好地指导 CMOS 组合电路的设计, 而且也可用于指导 CMOS 存贮元件, 从而指导 CMOS 时序电路的设计。

以往国外对多值触发器的研究结论认为它总要比二值触发器需要较多的元件才能存贮相同的信息量^[6], 但本文利用新的直接置数技术及传输函数理论对四值 CMOS 触发器的设计却打破了这一结论, 这使得多值逻辑由于信息携带量大而可以简化电路, 减少引线的理论优点在存贮元件设计中得以具体实现。

参 考 文 献

- [1] Post E L. Amer. J. Math., 1921, 43: 163—186.
- [2] Hurst S L. IEEE Trans. on C, 1984, C-33: 1160—1179.
- [3] Etienne D, Israel M. Computer, 1988, 21: 28—42.
- [4] Wu X (吴训威). Int. J. Cir. Theor. Appl., 1992, 20: 349—356.
- [5] Wu X. (吴训威). Prosser F., Int. J. Electron., 1988, 65: 891—905.
- [6] 吴训威, 陈偕雄, Prosser F. 中国科学, A 辑, 1989, (5): 528—536.
- [7] Chen X (陈偕雄), Wu X (吴训威). Int. J. Electron., 1989, 67: 829—838.
- [8] Vranesic Z G. IEEE Trans. on C, 1977, C-26: 1181—1182.

- [9] Etienne D. Israel M. On the realization of multiple-valued flip-flops. IEEE Proc. Int. Symp on MVL, Evanston: 1980, 16—23.
- [10] 吴训威, 陈偕雄. 中国科学 (A 辑), 1985, (7): 643—654.
- [11] Wu X (吴训威), Prosser F. Ternary CMOS sequential circuits. IEEE Proc. Int. Symp on MVL, Palma De Mallorca: 1989, 307—313.

TWO-INPUTS PRESETTING TECHNIQUE AND DESIGN OF CMOS FLIP-FLOPS WITH A HIGH RADIX

Wu Xunwei

(Hangzhou University, Hangzhou 310028)

Chen Qixiang

(Beijing Union University, Beijing 100020)

Abstract By analysing the difficulty of previous flip-flops with a high radix, this paper proposes a logic design scheme with two presetting inputs. The circuit of a quaternary CMOS flip-flop is designed by using the transmission function theory. The result shows that its structure is simpler and its processing speed is higher than that of two binary flip-flops which store the equal information.

Key words Multivalued logic, CMOS, Flip-flop, Transmission function theory