

低秩大模板二维卷积算法的脉动阵列设计¹

杨绿溪 王保云 何振亚

(东南大学无线电工程系 南京 210018)

摘 要 本文针对低秩大模板二维卷积运算的特点, 给出了其快速算法, 并利用基于相关图的三步映射法设计了其脉动阵列实现结构。该结构并行效率高, 并可达线性加速比。

关键词 低秩大模板二维卷积, 映射, 脉动阵列

中图分类号 TN911.7

1 引 言

二维模板卷积是图象处理和模式识别中的一种重要运算, 针对其实时实现问题, 人们已提出了几种脉动计算结构^[1,2], 但这些实现结构都是针对一般二维卷积设计的, 而对一些特殊的卷积运算, 可使其实现结构更简单些^[3]。

有些应用中, 如图象处理中的一些大模板卷积运算, 由于经常要求模板具有各向同性等特征, 因而常常是低秩的。本文利用低秩大模板卷积运算的特点, 设计出其新型脉动阵列实现结构, 该结构硬件代价小, 计算效率高。

2 低秩大模板卷积运算及其快速算法

图象分析中边缘检测的大模板算子很多都具有低秩特性, 例如一个 11×11 的广义拉普拉斯算子的奇异值依次为 126.72, 116.24, 2.00, 1.39, 0.50, 0.41, 0, 0, 0, 0, 0, 前两个奇异值远大于其它值, 因而该算子的数值秩 (Numeric Rank) 仅为 2, 原则上可用前两个奇异值基本上重构出算子。

不失一般性, 设一个 $k \times k$ 的模板算子 w 的数值秩为 p , 则有

$$w \approx \sum_{i=1}^p \sigma_i \hat{u}_i \hat{v}_i^T = \sum_{i=1}^p u_i v_i^T, \quad (1)$$

式中 σ_i 是奇异值, \hat{u}_i 和 \hat{v}_i 是奇异矢量, u_i 和 v_i 是用 $\sqrt{\sigma_i}$ 标度后的奇异矢量。若 $w * * g$ 表示二维模板算子 w 与二维图象 g 的卷积, 由 (1) 式可得

$$w * * g \approx \sum_{i=1}^p (u_i * * (v_i * * g)) \quad (2)$$

¹ 1995-03-02 收到, 1995-08-30 定稿
国家自然科学基金资助项目

其中 $*_c$ 和 $*_r$ 分别代表奇异矢量与图象各列和各行的卷积。(2) 式表明二维模板卷积可分解为级联的一维行卷积和一维列卷积的组合。由于一般有 $p \ll k$, 因而 (2) 式的计算量比一般二维卷积的计算量小得多。

3 脉动阵列设计

主要问题是要设计出实现级联的一维行卷积和一维列卷积的脉动阵列, 相应的运算为 (2) 式中的某一项, 可表述为

$$y'(i, j) = \mathbf{v} *_r \mathbf{g} = \sum_{m=1}^k g(i, m)v_{j+m-1}, \quad i = 1, 2, \dots, M, \quad j = 1, 2, \dots, N; \quad (3a)$$

$$y(i, j) = \mathbf{u} *_c \mathbf{y}' = \sum_{m=1}^k y'(m, j)u_{i+m-1}, \quad i = 1, 2, \dots, M, \quad j = 1, 2, \dots, N; \quad (3b)$$

其中 $g(i, j)$ 、 $y'(i, j)$ 和 $y(i, j)$ 分别为输入图象 ($M \times N$)、一维行卷积的结果和再进行列卷积的结果。

下面用基于相关图的映射法设计实现 (2) 式运算的脉动阵列, 分为如下三个步骤^[4]。

3.1 由算法导出相关图 DG(Dependence Graph)

由 (3) 式的时 - 空下标和计算流程可设计出该运算的三维相关图, 如图 1 所示。图中假定 $k=5$, 并定义 v_1 序列为 $\underbrace{\{v_1 v_1 v_1 v_1 \dots v_1\}}_{N \text{ 个}}, \dots, v_5$ 序列为 $\underbrace{\{0000 v_5 \dots v_5\}}_{N \text{ 个}}$ 。 u_i 序列的定义同 v_i 序列。

注意输入到右半阵列的数据 (一维行卷积的结果) 须有 $(k-1)=4$ 个单位时间提前量。

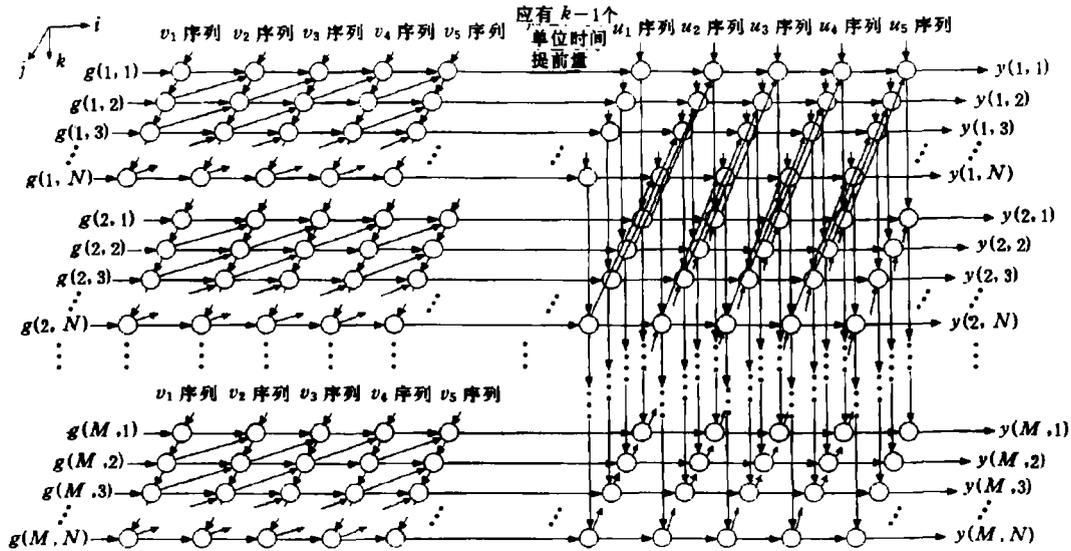


图 1 完成对图象 $g(i, j)$ 的级联一维 - 列卷积运算的三维相关图

3.2 相关图到信号流图 SFG(Signal Flow Graph) 的映射

映射采用线性投影 d 和线性调度 s ，分别把沿 d 方向一条直线上的各 DG 节点投影到一个 SFG 节点上和将一个以 s 为法向矢量的等时间超平面集合映射到一个线性增长的时间下标集合上。映射得到的 SFG 有向图其节点上的所有计算所化费时间都为零，所有时序信息以延迟边的形式引入。若向量 i 和 b 分别表示 DG 中节点的下标和任一条边，则映射后节点的时间下标将是 $s^T i$ ，边上的延迟数是 $s^T b$ 。注意 d 和 s 必须满足 $s^T b \geq 0$ 且 $s^T d > 0$ 的因果条件^[4]。对图 1 的 DG 沿图中 k 方向线性投影，即 $d = [001]^T$ ，并取线性调度 $s = d$ ，映射将得到一个二维 SFG，原 DG 中只有 $[101]^T$ 方向的边引入 $1D$ 的延迟。

为降低硬件复杂度，须对该二维 SFG 再进行二次映射得到一维 SFG。二次映射与第一次映射类似，但 SFG 中可能有延迟边和闭合环路，因而映射的合法与否受如下定理 1 的约束^[4]。

定理 1 为将 N 维 SFG 再映射为 $N-1$ 维，须按如下条件决定投影矢量 d_1 、调度矢量 s_1 和映射所引入的单位延迟 τ ：(1) $D \geq \tau + (L-1)(s_1^T d_1)\tau$ ，其中 D 为原 SFG 上的单位延迟， L 为原 SFG 中所有沿 d_1 方向上节点数的最大值。(2) 对原 SFG 中的所有边 b_1 ，均有 $\beta D + (s_1^T b_1)\tau \geq 0$ ，其中 βD 为原 SFG 边上的延迟。(3) 原 SFG 的每条环路中至少有一条边满足 $\beta D + (s_1^T b_1)\tau \geq \tau$ 。

对一次映射得到的 SFG，取 $d_1 = s_1 = [0 \ 1]^T$ ， $D = N\tau$ ，则所进行的多重映射将是合法的，映射得到一维 SFG 如图 2 所示。由于 $D = N\tau$ 的时间标度，到阵列左边各节点的 v_i 序列输入重复 N 次。到阵列右边各节点的则是 N 个 u_i 序列的交插输入。原 DG 中 $k-1=4$ 个单位时间提前量可用 -4τ 来描述。

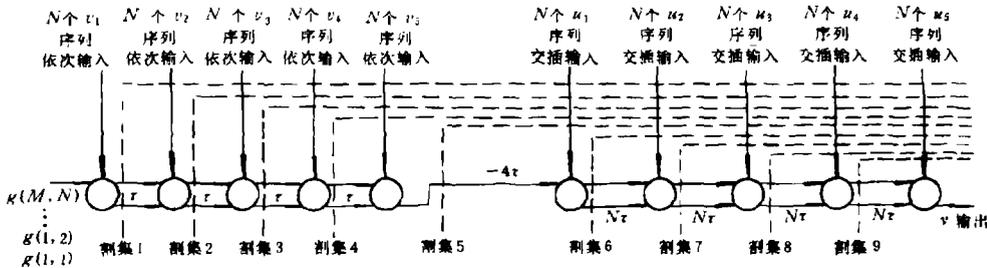


图 2 一次、二次映射后所得到的一维 SFG

3.3 信号流图到脉动阵列的映射

先用如下的定理 2 去掉 SFG 中的零延迟边使其脉动化^[4]。

定理 2 对一个 SFG 用如下准则对其重定时序，将不影响其计算功能：

准则 1 时间标度 SFG 的所有延迟都可以被重新标度，即 $D \rightarrow \alpha D'$, α 为正整数。

准则 2 延迟转移 给定 SFG 的任意割集，可将割集正向边上 kD' 的延迟转移到负向边上。

对图 2 所示的 SFG，取图中所示的割集，并按定理 2 使所有边上至少有 1τ 的延迟，再将各节点输出边上一个 τ 的延迟结合到节点中，其余延迟用缓冲器代替，则得如图 3(a) 所示的脉

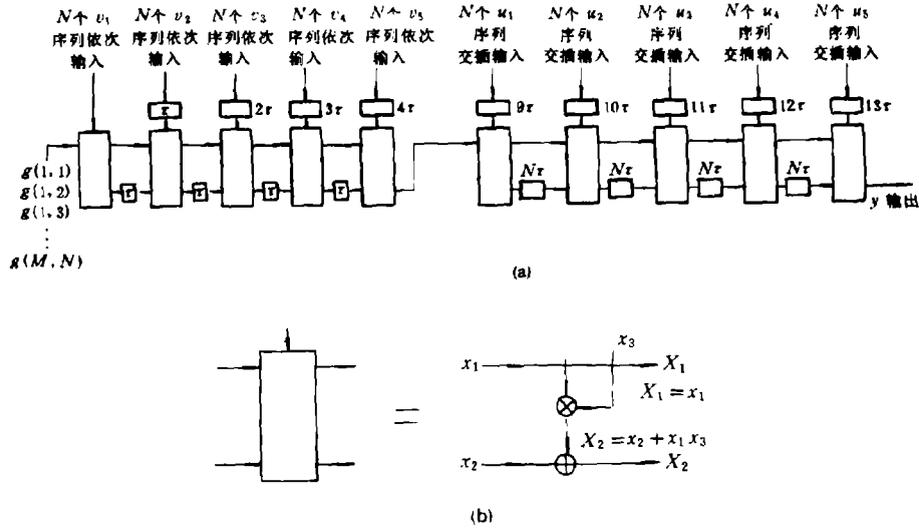


图 3 实现对图象 $g(i, j)$ 的大模板二维卷积运算的一维脉动阵列

动阵列，共有 $2k$ 个处理单元，各单元的内部结构如图 3(b) 所示。当图象 $g(M \times N)$ 按行从阵列左边输入时，级联的一维行、列卷积结果 $y(M \times N)$ 将经过一定延迟后按行从阵列右边输出。

图 3 阵列的后面再附加一个简单的加法单元和 $M \times N$ 个存储单元，即可实现 (2) 式快速大模板二维卷积的全运算过程。

4 性能估价

运算主要是级联的一维行、列卷积，当用一个处理单元实现时，所需的单位时间为

$$T_1 = M(Nk - \frac{k(k+1)}{2}) + N(Mk - \frac{k(k+1)}{2}) = 2MNk - \frac{k(k-1)(M+N)}{2} \quad (4)$$

当用图 3 的脉动阵列实现时，由于输入图象数据长度为 MN ，并要通过 $2k$ 个计算单元， $(N+1)(k-1)$ 个延迟单元，阵列处理时间 T_z 应为

$$T_z = MN + 2k + (N+1)(k-1) = MN + Nk + 3k - N - 1 \quad (5)$$

从而阵列的并行效率和加速比分别为

$$\eta = T_1 / (2kT_z) = [4kMN - k(k-1)(M+N)] / [4k(MN + Nk + 3k - N - 1)] \quad (6)$$

$$S = T_1 / T_z = [4kMN - k(k-1)(M+N)] / [2(MN + Nk + 3k - N - 1)] \quad (7)$$

若取 $M = N=256$, $k=11$, $p=2$, 阵列时钟频率为 30MHz, 可计算出 $\eta=94.3\%$, $S=20.7$, $T_z=3.41ms$, 总计算时间约为 6.81ms。与文献 [1,2] 的实现结构相比，都具有高并行效率和近似线性的加速比，但本文采用快速算法，使实现结构的复杂度由 $O(k^2)$ 降为 $O(2k)$ ，而计算速度却大致相同。

参 考 文 献

- [1] Kung H T, Lam M S. J. *Parallel and Distributed Computing*, 1984, 1(1): 32-63.
- [2] De Vos L, Stegherr M. A Family of Application-Specific VLSI Architecture for the Block-Matching Algorithm. in *Systolic Array Processors*, J.McCanny, J.Mcwhirter, E.Swartzlander, ed., Hertfordshire: Prentice-Hall, Inc., 1989, 421-430.
- [3] Bombardieri J. *IEEE Trans. on Signal Processing*, 1992, SP-40(5): 1253-1257.
- [4] Kung S Y. *VLSI Array Processors*, Englewood Cliffs: Prentice-Hall, Inc., 1988, 119-211.

SYSTOLIC ARRAY DESIGN FOR 2-D CONVOLUTIONS WITH
BIG KERNEL IN LOW-RANK

Yang Luxi Wang Baoyun He Zhenya

(Radio Department, Southeast University, Nanjing 210018)

Abstract The characteristics of 2-D convolutions with big kernel in low-rank are analysed, and a fast algorithm is given. Then a systolic array implementation, which is derived by a three-stage dependence-graph-based mapping approach, is presented. It is shown that the architecture has a high efficiency for parallel processing and a nearly linear speed-up.

Key words 2-D convolution with big kernel in low-rank, Mapping, Systolic array

杨绿溪: 男, 1964年生, 博士, 副教授, 现从事信号/图象并行处理、神经网络的研究工作.

王保云: 男, 1967年生, 博士生, 专业为信号与信息处理.

何振亚: 男, 1924年生, 教授, 博士生导师, 现从事信号处理、神经网络的研究和教学工作.