

可控模拟延迟线的研究*

张 德 龙

(安徽大学电子工程与信息科学系, 合肥 230039)

摘要 本文提出了一种用我国首创的 DYL 集成线性“与或”门设计成的模拟延迟线。这种延迟线不仅具有电路结构简单、信号传递速度快等特点,而且电路的延迟量可以用数字量直接控制。

关键词 线性“与或”门;延迟线;“时-空”变换;“空-时”变换

一、引 言

在信号传输和处理系统中,往往需要将待处理的信号作必要的延迟。但是,用常规的方法设计的延迟线,其延迟量难以调节。现在我们用 DYL 集成线性“与或”门设计成的模拟延迟线,就比较好地解决了这个问题。

DYL 集成线性“与或”门的最基本工作单元是 min 门和 max 门。

图 1 是 min 门的单元电路、逻辑符号和真值表。其输出函数式,可用(1)式表示。因此, min 门实际上是求多路输入信号中最小值的运算。

$$\begin{aligned} v_0 &= \min(a, b) \\ &= \begin{cases} a, & a < b \\ b, & a > b \end{cases} \quad (1) \end{aligned}$$

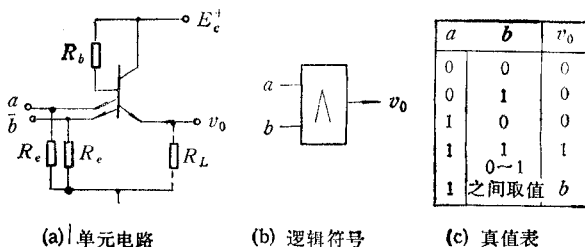


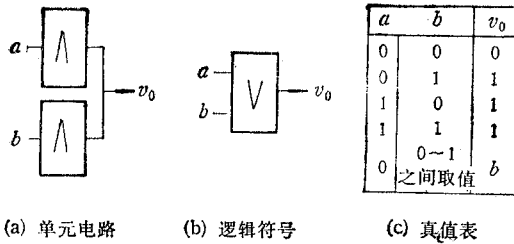
图1 DYL min 门

图 2 是 max 门,它是采用 2 只 min 门的输出端并接而成。图 2(b),2(c) 为 max 门的逻辑符号和真值表。其输出函数式,可用(2)式表示。因此, max 门实际上是求多路输入信号中最大值的运算。

$$v_0 = \max(a, b) = \begin{cases} a, & a > b \\ b, & a < b \end{cases} \quad (2)$$

由于 DYL 集成线性“与或”门不仅电路结构简单、信号传递速度快,而且具有既可以处理数字量,也可以处理模拟量和数字量与模拟量作混合处理的能力,这就为我们设计可控模拟延迟线提供了一条有效的途径。

图 3 是用 DYL min 门和 max 门集成而成的 DYL-132 八选一单向模拟选择器的

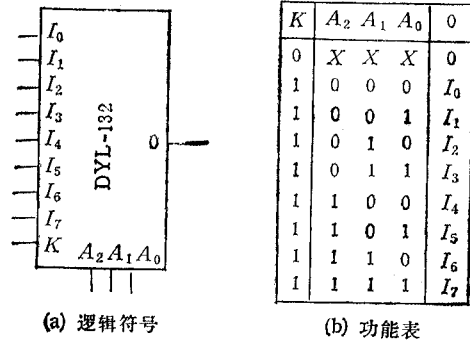


(a) 单元电路

(b) 逻辑符号

(c) 真值表

图2 DYL max 门



(a) 逻辑符号

(b) 功能表

图3 DYL-132 八选一单向模拟选择器

逻辑符号和功能表。其输出函数式,可用(3)式表示:

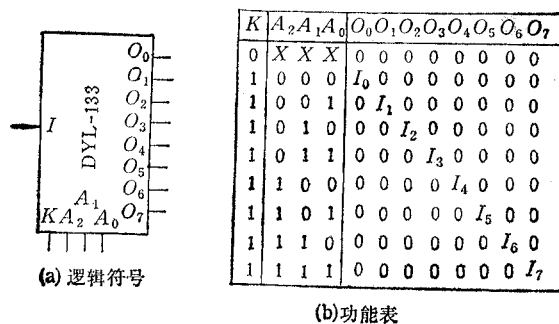
$$O = \max[\min(I_0 \cdot \bar{A}_2 \bar{A}_1 \bar{A}_0), \min(I_1 \cdot \bar{A}_2 \bar{A}_1 A_0), \min(I_2 \cdot \bar{A}_2 A_1 \bar{A}_0), \min(I_3 \cdot \bar{A}_2 A_1 A_0), \min(I_4 \cdot A_2 \bar{A}_1 \bar{A}_0), \min(I_5 \cdot A_2 \bar{A}_1 A_0), \min(I_6 \cdot A_2 A_1 \bar{A}_0), \min(I_7 \cdot A_2 A_1 A_0)] \quad (3)$$

式中 $A_2 A_1 A_0$ 为数字量,作为多路选择器的地址选择码; I_i 可为 0, 1 数字量或 0 至 1 之间用(4)式的模拟量输入。

图4是 DYL-133 一至八单向模拟分配器的逻辑符号和功能表。其输出函数式,可表示:

$$O_i = \min(I, S_i) \quad (4)$$

式中 S_i 为数字量 $A_2 A_1 A_0$ 的 8 种可能组合,作为地址选择码; I 为 0, 1 或 0 至 1 之间的模拟量输入。



(a) 逻辑符号

(b) 功能表

图4 DLY-133 一至八单向模拟分配器

二、可控模拟延迟线的设计

可控模拟延迟线的原理如图5所示。图中 DYL $1 \rightarrow n$ 单向模拟分配器在 m 位地址码的选通下,将采集到的输入信号 v_i 的瞬时值寄存在输出端外接的电容器中。当输入信号周期 T_i 与时钟脉冲周期 T_{CP} 满足 $T_i = 2^m \cdot T_{CP} = n \cdot T_{CP}$ 时,则输出端各电

容器上寄存的即为输入信号 v_i 某一时刻的瞬时值, 且保持不变. 这个过程实质上是将一个按时间变化的周期信号, 变换成按空间位置变化的信号, 简称“时-空”变换. 而 DYL $n \rightarrow 1$ 单向模拟选择器, 又在 m 位地址码的选通下, 将寄存在电容器上输入信号 v_i 的瞬时值以同样的速度收集起来作为输出 v'_0 . 这个过程的实质是将一个按空间位置变化的信号变换成按时间变化的信号, 简称“空-时”变换. 由于在上述变换过程中, 变换是在同一个 CP 脉冲信号作用下完成的, 因此, 当输入延迟数字量 $N = 0$ 时, 则变换前后的输入和输出信号波形应是同频同相的.

但是, 当外加延迟数字量 $N \neq 0$ 时, 则变换前后的输入和输出信号波形将会是同频但不同相了. 因为此时“时-空”变换的地址码超前于“空-时”变换地址码, 或者说“空-时”变换的地址码滞后于“时-空”变换地址码一个数字量 N . 从而使输出信号 v'_0

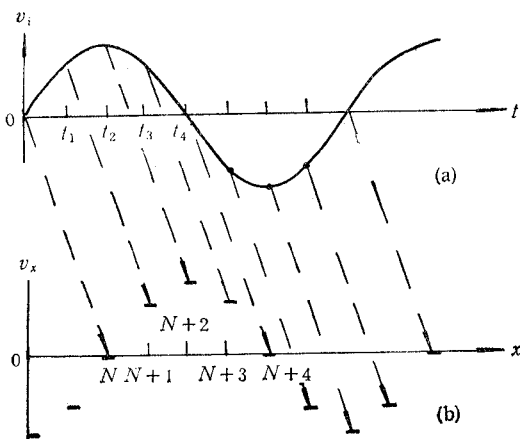


图6 “时-空”变换波形图

处在 0 状态, 即此时“空-时”变换的地址码为 0, 则选通 $x=0$ 处电容器中的电压值作为输出. 当 $t=t_1$ 时刻选通 $x=N$ 处电容器中的电压值作为输出. 如此类推, 在 $t=t_N$ 时刻则选通 $x=(n-1)-N$ 处电容器中的电压值作为输出. 其中 n 为计数器的模.

将图 6(a) 按时间变化的输入波形 $v_i(t)$ 与图 6(b) 按空间位置变化的波形 $v_x(x)$ 进行比较, 不难求得经“时-空”和“空-时”变换后的输出波形 $v'_0(t)$ 比输入波形 $v_i(t)$ 延迟了一段时间 τ , 如(5)式所示:

$$\tau = t_N - t_0 = N \cdot T_{CP} \quad (5)$$

式中 N 为控制模拟延迟线延迟量所需要加入的数字量输入.

图 7 是我们设计的可控模拟延迟线实验电路图. 其中 2 个 DYL-133D 作为 $1 \rightarrow 16$

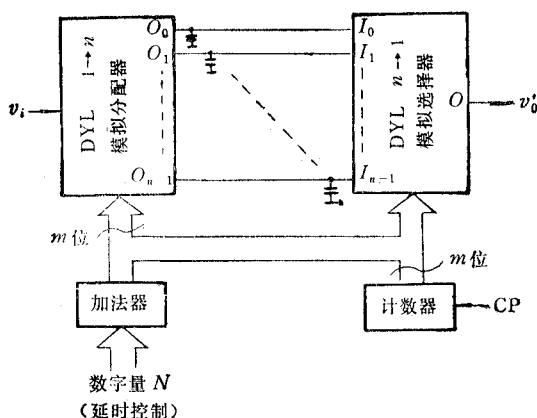


图5 可控模拟延迟线的组成

波形滞后输入信号 v_i 波形一个给定的数字量 N . 这样只要改变延迟数字量的输入值, 即可方便地调节模拟延迟线的延迟量, 如图 6 所示. 若设 t_0 时刻计数器输出为零, 即“空-时”变换的地址码处在 0 状态, 而加法器的输出, 即“时-空”变换的地址码处在 N 状态, 在该地址码的选通下, 可将 t_0 时刻 v_i 的瞬时值寄存在第 N 路电容器中, t_1 时刻 v_i 的瞬时值寄存在第 $N+1$ 路电容器中, 依此类推下去, 在第 $n-1$ 路电容器中寄存的将是 v_i 在 $t_{(n-1)-N}$ 时刻的瞬时值, 如图 6(b) 所示. 但由于 t_0 时刻计数器是

路单向模拟分配器完成“时-空”变换, 2个 DYL-132B 作为 16→1 路单向模拟选择器完成“空-时”变换。另用 2 片 DYL-132 产生片选信号, 以便于 2 个 DYL-133D 和 2 个 DYL-132B, 即片 I 和片 II 分时工作。以上是延迟线的主体部分, 如图 7 中虚线框内所示。

图 7 所示的可控模拟延迟线附属电路中的直流恢复电路, 是为确保输入信号 v_i 在整个周期内能处在 DYL 线性“与或”门的线性工作区。触发器 I 和触发器 II, 是为确保在输入信号 v_i 的一个周期内产生 16 个 CP 脉冲, 作为计数器的计数脉冲, 其工作波形如图 8 所示。

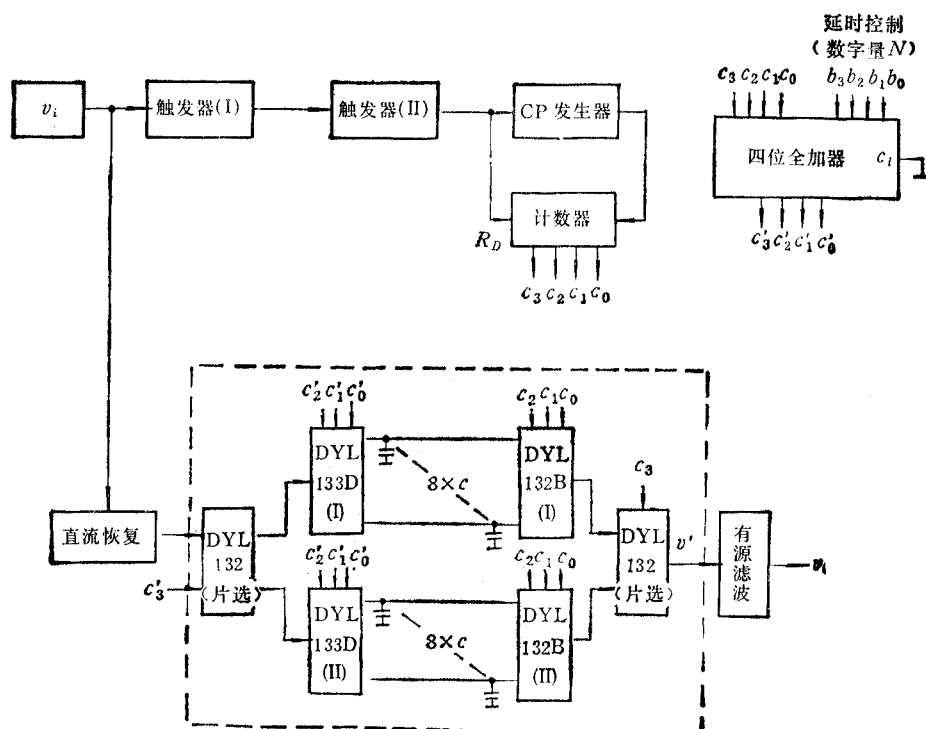


图 7 可控模拟延迟线电路图

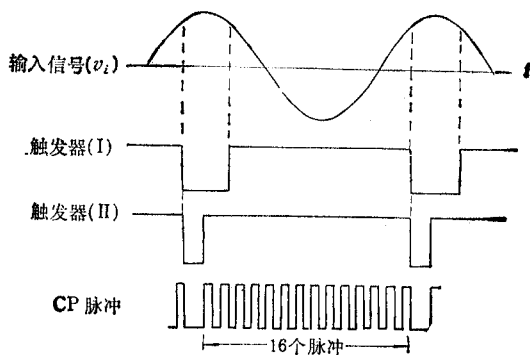


图 8 触发器 I, II 和 CP 脉冲发生器

三、实验测试结果

我们对可控模拟延迟线实验电路进行了实际的测试。图 9(a), 9(b), 9(c) 是在输入信号 v_i 为 6kHz 正弦信号, 当加入不同的延迟数字量时实测的 v_i, v'_0, v_0 的波形图。

其中图 9(a) 是延迟数字量 $(N)_2 = 0001$, 输出信号 v_0 延迟 1/16 周期的波形图。图 9(b) 是延迟数字量 $(N)_2 = 0101$, 输出信号 v_0 延迟 5/16 周期的波形图, 图 9(c) 是延迟数字量 $(N)_2 = 1000$, 输出信号 v_0 延迟 1/2 周期的波形图。

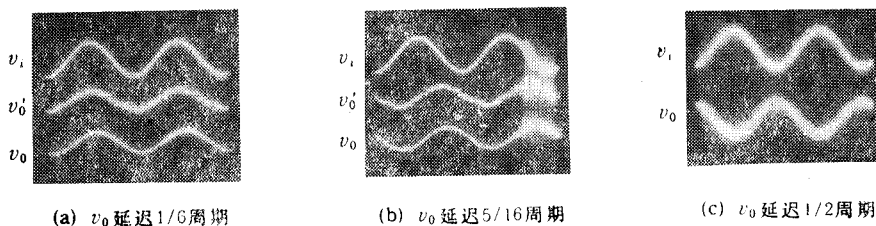


图 9 可控模拟延迟线实测波形图

四、问题讨论

关于可控模拟延迟线的精度问题。用 DYL 线性“与或”门设计成的可控模拟延迟线的精度, 主要受两个方面的因素制约。其一是, DYL 线性“与或”门有 0.2V 的逻辑电平偏移, 而且高、低电平偏移量不完全一致, 这样输入信号经“时-空”和“空-时”变换后波形会产生失真。但是, 根据文献[2]报道, 只要将 DYL 线性“与或”门中晶体管的基极电阻偏置, 改换成恒流源基极偏置, 则可以使 DYL 线性“与或”门的电平偏移量下降一个数量级, 这样可以使模拟延迟线的精度提高。其二是, “时-空”和“空-时”变换电路采样点的设定对延迟线精度的影响。从图 9 v'_0 波形可以看出, 由于采样点为 16, v'_0 波形有明显的阶梯, 如果将采样点增至 32 或 64 后, 则可使 v'_0 波形连续性更好, 从而可达到提高模拟延迟线精度之目的。

关于可控模拟延迟线的工作速度问题。由于 DYL 线性“与或”门, 使用的是一只特殊多发射极晶体管, 它实质上是一种射极跟随非饱和型电路, 并且集电极对交流共地, 如图 1(a) 所示。与其他非饱和型门电路相比, 在状态改变时, 集电极电容对工作速度的影响大为降低^[4]。我们对单级线性“与或”门测试结果表明, 其平均延时只有 1ns。而我们设计的可控模拟延迟线, 完成“时-空”和“空-时”变换, 只需经 4 级线性“与或”门的延时, 这样器件本身传输延时总共在 4ns 左右。因此, 这种模拟延迟线的工作速度快是显而易见的。

五、结 束 语

实验结果表明,使用 DYL 线性“与或”门设计成的可控模拟延迟线工作稳定可靠. 由于 DYL 线性“与或”门的线性动态范围可在 0 至 5 V 之间任意取值^[1],使得模拟延迟线能对任意一个周期信号进行可控延迟. 可以预见,若将这种延迟电路集成在一块芯片上,使其成为一种专用功能块,是很有实用价值的.

我系 87 级金萍同学参加了课题的实验和测试工作.

参 考 文 献

- [1] 王守觉等,电子学报 6(1978)2,41—51.
- [2] 王守觉等,电子学报,11(1983)5,9—16.
- [3] 王守觉,电子学报,14(1986)5,1—11.
- [4] 张德龙等,电子技术应用,1989 年,第 11 期,第 28—30 页.
- [5] 张德龙,安徽大学学报(自然科学版),1990 年,第 2 期,第 45—56 页.
- [6] 张德龙等,安徽大学学报(自然科学版),1991 年,第 3 期,第 30—36 页.

RESEARCH OF CONTROLLABLE ARTIFICIAL DELAY LINE

Zhang Delong

(Anhui University, Hefei 230039)

Abstract An artificial delay line which was designed by using the DYL integrated linear AND-OR gate created first in China were proposed. This kind of delay circuit has not only the advantages of simpler structure, more rapid velocity for signal transmission, but also the circuit delay which can be controlled by digital quantity

Key words Linear AND-OR gate; Artificial delay line; “Time-space” conversion; “Space-time” conversion