

VDMOS 器件二维数值模拟和典型 参数优化分析

刘晓梅* 胡蓉香 罗晋生

(西安交通大学微电子技术研究室,西安)

李 中 江

(国营卫光电厂,西安)

摘要 本文编制了功率 MOSFET 二维稳态分析软件 TDSPM, 程序基于漂移扩散模型, 特别考虑了功率器件高压工作状态下的速场特性和强场产生机制, 因此可以对器件各工作区(包括击穿区)进行模拟。用全耦合法求解联立方程, 用截断法修正迭代结果, 大大改善了程序求解的收敛性和稳定性, 使求解加压步长可取得很大(饱和区漏压可取 100—200V)。用 TDSPM 模拟 VDMOS, 得到器件的外部特性曲线和内部物理量分布; 着重分析了击穿过程的内部机制; 最后用 TDSPM 对器件进行了优化分析。

关键词 功率晶体管; MOS 场效应晶体管; 数值模拟; 击穿

一、引 言

功率 MOSFET 是一种新型电子器件, 具有许多双极功率晶体管无法比拟的优点, 被广泛应用于电力电子领域。功率 MOSFET 向高压、大电流、高速发展的趋势决定了 VDMOS 器件成为功率 MOSFET 中占绝对统治地位的结构形式。因此对 VDMOS 器件进行全面深入的研究, 以搞清功率器件内部物理机制和工作过程, 从而进一步改进器件、提高器件性能, 是很有理论研究和实际应用价值的工作^[1]。对器件进行全数值模拟, 是一种精确分析器件内部机制的方法。由于功率器件模拟需要考虑速场特性、强场产生效应, 高压区求解的收敛性、速度和精度等重要问题不易解决。在国际上发表的关于这方面的文献许多是在简化模型的基础上, 侧重于器件特性的某一方面进行的解析分析^[2]。文献[3]中提出了耐压 100V 的功率器件模拟软件, 但加压步长不大。到目前为止加压步长可达 100~200V, 可对几百伏以上的高压器件进行模拟的商品软件还未见到。也未见用这样的软件对功率器件的电特性、内部工作机制进行较全面的模拟分析, 并用此种软件提出优化分析的报道。

本文编制了高压功率 MOSFET 器件模拟软件包 TDSPM (Two-Dimensional Simulator of Power MOSFET)。程序中特别考虑了高压器件速场特性和强场产生效

1990年7月16日收到, 1991年3月29日修改定稿。

* 现在北京电力电子技术研究开发中心工作。

应,因此可以对器件高压区工作状态和击穿过程进行模拟。用全耦合法求解,较好地剖分网格和适当地选取数学方法,可使求解精度高、收敛性好、求解速度快,而且求解加压步长可取得很大(饱和区漏压可达 $100 \sim 200 \text{V}$)。本文用 TDSPM 模拟了器件外部特性和各工作状态下电势等物理量的内部分布图象;着重对击穿过程进行模拟分析;最后还对功率器件重要的电参数:击穿电压和导通电阻进行了优化分析,得出了它们与器件结构参数的优化关系曲线。这些模拟结果与实验规律相吻合,反映了器件内部机理,为器件研究提供了依据。

二、VDMOS 器件数值分析模型

1. 器件结构

本文以一种典型的 VDMOS 结构——SIPMOS 为例进行研究。所模拟的器件参数按文献[4]中的耐压 600V 的试验管芯数据选取。外延层厚为 $40 \mu\text{m}$, 掺杂浓度为 $1.6 \times 10^{14} \text{cm}^{-3}$; p 区结深为 $5 \mu\text{m}$, 掺杂浓度为 $2 \times 10^{17} \text{cm}^{-3}$; p^+ 区结深为 $7 \mu\text{m}$, 掺杂浓度为 $1 \times 10^{18} \text{cm}^{-3}$ 。图 1 为器件剖面图和一个模拟器件单元。实际器件 n^+ 衬底电子浓度很高,电阻率可近似为零,所以将 $n^- - n^+$ 衬底边界看成欧姆接触边界。

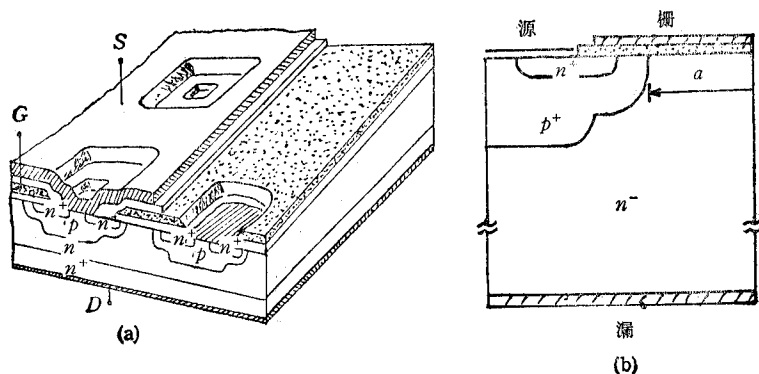


图 1 器件剖面图 (a) 和一个模拟单元 (b)

2. 基本半导体方程

漂移扩散模型描述的半导体方程为

$$\text{div grad } \phi = (q/\epsilon)(n - p - c) \quad (1)$$

$$\left. \begin{aligned} \text{div } J_n &= q \cdot R \\ \text{div } J_p &= -q \cdot R \end{aligned} \right\} \quad (2)$$

$$\left. \begin{aligned} J_n &= q \cdot n \cdot \mu_n \cdot E + q \cdot D_n \cdot \text{grad } n \\ J_p &= q \cdot p \cdot \mu_p \cdot E - q \cdot D_p \cdot \text{grad } p \end{aligned} \right\} \quad (3)$$

考虑到 MOSFET 为多子器件,在正常工作区(击穿区) $J_p = 0$, 即热平衡情况,故空穴电流连续方程用(4)式代替

$$p = n_i \cdot \exp(-\phi/U_T) \quad (4)$$

3. 物理参数

(1) 迁移率 本文考虑了电离杂质散射、表面散射机制对迁移率的影响,并假设它们互不干涉。由于 VDMOS 是高压器件,还特别考虑了强场下载流子的速场特性^[5]:

$$\mu_E = \frac{v_{sat}}{\max(E \cdot J / |J|, 0)} \quad (5)$$

因此总迁移率形式如下:

$$\mu = (\mu_{i,p}^{-1/\rho} + \mu_{E,p}^{-1/\rho})^{-1/\rho} \quad (6)$$

(2) 复合率 本文主要考虑了以下几种产生/复合机构: SRH 复合、俄歇复合、表面复合。为了模拟击穿特性,还特别考虑了强场产生效应,强场产生率表达式为^[6]

$$\begin{aligned} G_{aval} &= (1/q) |J_n| \cdot a_n \cdot \exp(-p_n/ep_n) \\ ep_n &= \max(E \cdot J_p / |J_p|, 0) \end{aligned} \quad (7)$$

总的净复合率为

$$R - G = R_{SRH} + R_{Aug} + R_{surf} - G_{aval} \quad (8)$$

(3) 掺杂分布 本文对图 1 所示的掺杂分布考虑如下,用 Gauss 分布模拟杂质纵向分布,用余误差分布模拟杂质横向分布。

4. 数学方法

(1) 有限差分网格 好的网格剖分可以在较少结点的情况下,保证较好的求解精度、收敛性和稳定性。本文给出的程序能在掺杂浓度变化较大的区域自动生成结点较密的网格。在这个网格基础上再根据电流梯度和电势梯度为判据,在电流和电势梯度大的区域进行局部加密,这样就得到了电流流经的区域和耗尽区也加密的优化网格。

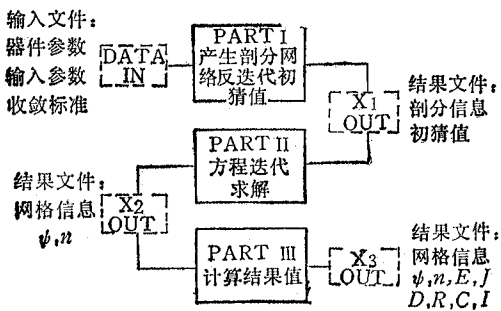


图 2 程序运行顺序
(PART I 中的反迭代应为及迭代)

(2) 迭代求解 牛顿迭代初值的选取对每次迭代的收敛起着决定性的作用。本文以热平衡时的载流子浓度 n_0 和热平衡泊松方程的解 ϕ_0 为一组初估值 (n_0, ϕ_0), 以此为初值可以直接加压计算。

前次迭代结果作为下次迭代初值往往会引起发散。为此我们采用截断法对每次迭代结果进行修正^[7]。以修正结果作为下次迭代初值,收敛速度大为提高,且每次加压步长可取得很大。修正公式如下:

$$\left. \begin{aligned} \phi^{m+1} &= \phi^m + \Delta\phi^{m+1} \\ n^{m+1} &= n^m + \Delta n^{m+1} \end{aligned} \right\} \quad (9)$$

其中

$$\Delta\phi^{m+1} = \Delta\phi^{m+1}$$

$$\Delta n^{m+1} = \begin{cases} n^m(\exp(-\alpha) - 1); & \Delta n^{m+1} < n^m(\exp(-\alpha) - 1) \\ \Delta n^m; & n^m(\exp(-\alpha) - 1) \leq \Delta n^{m+1} \leq n^m(\exp(\alpha) - 1) \\ n^m(\exp(\alpha) - 1); & \Delta n^{m+1} > n^m(\exp(\alpha) - 1) \end{cases}$$

(3) 程序设计 TDSPM 程序设计分三部分: 第 I 部分为输入处理程序;第 II 部

分为全耦合求解方程程序;第 III 部分为计算结果和输出。这三部分不包括网格优化和绘图程序。它们均可独立运行,它们之间的数据传递和运行顺序如图 2 所示。

三、TDSPM 模拟结果

1. 外部特性曲线

TDSPM 模拟的 VDMOS 外部特性曲线如图 3 所示。将模拟的 $I-V$ 曲线与实验结果比较,可以看到模拟曲线击穿区漏电流增大趋势较缓。这是因为模型中忽略了空穴电流的缘故。在线性区和饱和区,这种近似非常准确。在击穿区由于空穴电流不再为零,模拟出的电流不代表电子和空穴电流的总和,只反映电子电流的倍增值。但通过模拟电流的变化仍可由电子的倍增变化反映器件的内部击穿规律,并可以确定击穿电压。

2. 内部物理量分布

图 4 为 $V_G = 4V$ 时器件各工作区内部物理量的分布。 $V_{DS} = 5V$ 代表线性区工作点, $V_{DS} = 80V$ 为饱和区工作点, $V_{DS} = 450V$ 代表击穿区工作点。每个物理量在不同工作区的分布在同一量级上比较。观察图 4(a) 中电场分布,可以看到,在栅

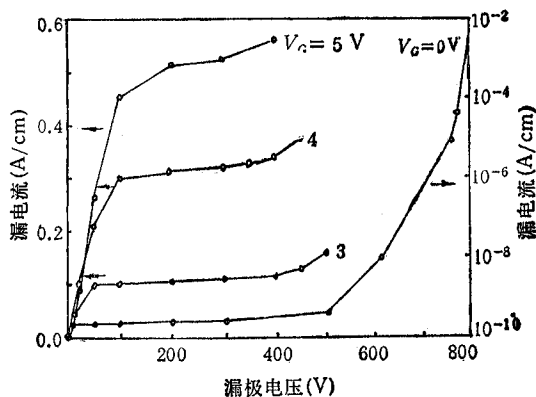


图 3 模拟的 VDMOS $I-V$ 曲线

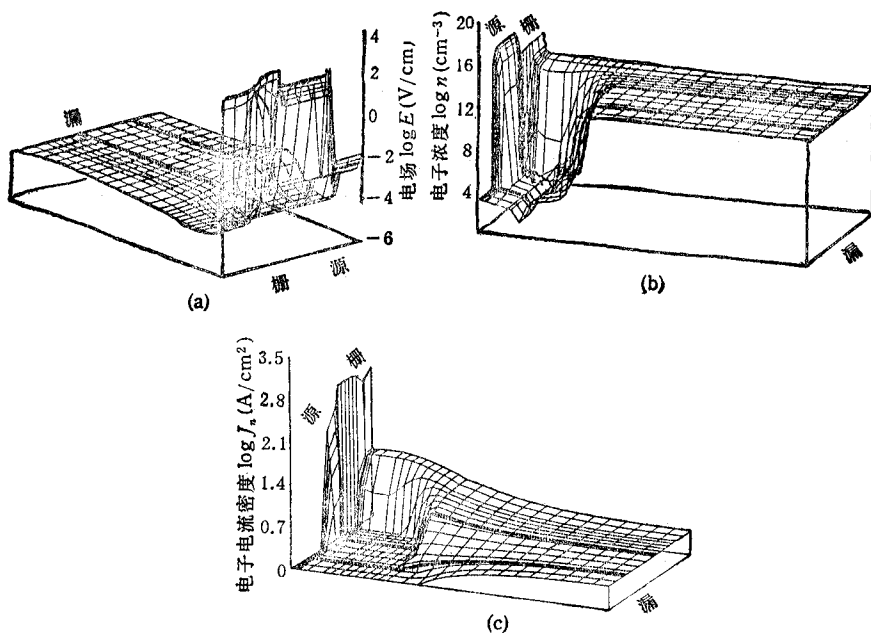


图 4 (a) 电场分布, (b) 电子浓度分布, (c) 电流密度; $V_G = 4V$, $V_{DS} = 10V$

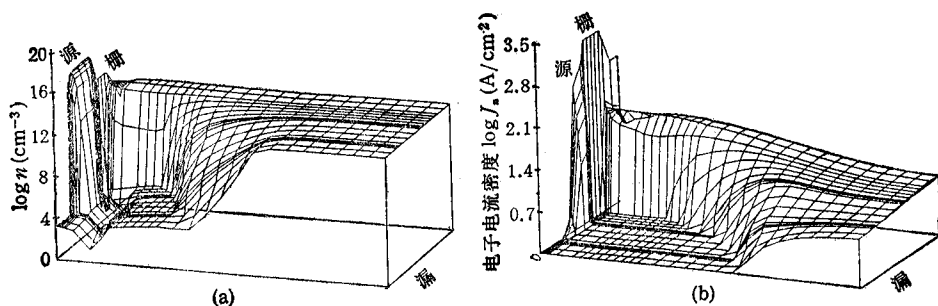


图5 (a) 电子浓度, (b) 电子电流密度; $V_G = 4V$, $V_{DS} = 80V$

压作用下界面附近电场为正(定义指向界面为正)。从表面到体内电场由正变负。这是由于漏压作用使电流由外延层流向漏端,外延层电阻的存在使外延层内电场变为负值。最强电场在栅下外延层中。栅压作用使电子在表面积累,沟道中形成反型层,栅下外延层形成积累层(见图4(b))。图中还反映了不同掺杂区电子浓度的差别。在漏压作用下电子由源端注入,经界面沟道流向外延层到漏端。电流流经处电流密度大,图4(c)中为隆起部分。可见沟道中有较大电流密度。电流在一狭长通道中流动并向体内扩展,电流在体内一定区域中分布。漏极电压增高时,耗尽区向漏端扩展直至贯通;栅下外延层电子由积累变为耗尽;电流越来越集中在外延层中的狭长通道中,见图5。

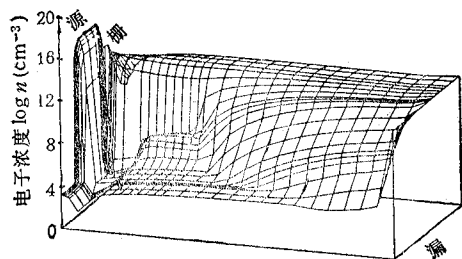


图6 电子浓度分布; $V_G = 4V$, $V_{DS} = 450V$

图6为击穿区电子浓度分布图。此时由于漏压已很高,外延层内电场负值区域不断扩大,电场绝对值则更大,至使电场中电子被加速到可发生碰撞电离,继而产生雪崩倍增。从图6中可以看到,与较低漏压时的情况相比,耗尽区中出现一突起,即因此处发生了雪崩倍增的缘故。由于雪崩倍增,电子浓度在电离倍增区明显增大,并且漏压越高、内部电

场越强,雪崩倍增效应越显著。相应于电子浓度的倍增,电子电流密度也陡然增大,这在器件端特性上的表现就是漏压增高漏电流不再是饱和值而随漏压增高而显著增大,这就

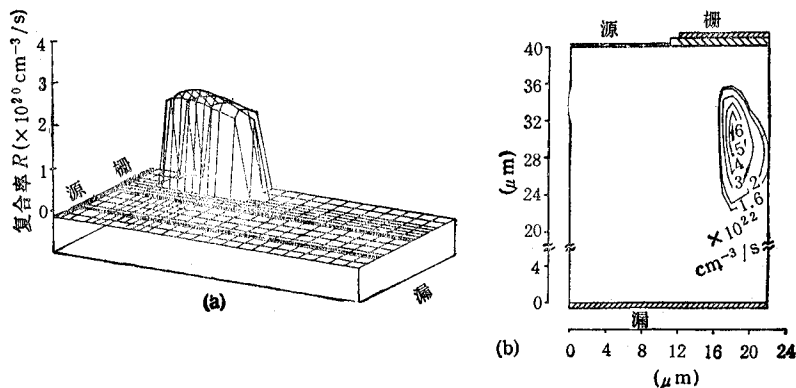


图7 (a) 产生率分布, (b) 产生率等值图; $V_G = 4V$, $V_{DS} = 350V$

是雪崩击穿,如图 1。

本文进一步分析了击穿时的产生/复合率变化。当器件发生雪崩击穿时,其内部发生雪崩倍增的区域有一个很大的净产生率,见图 7(a)。漏压越高,强场产生的区域扩展的越大,产生率值越高,见图 7(b)。

3. 讨论

通过内部物理参量分布情况的分析,得出器件工作规律:

随漏压增高,栅下外延层电子由积累转为耗尽,且随漏压增高耗尽加深。同时 $p-n$ 结处耗尽区不断扩展向漏端推进。当漏压高到一定值时,耗尽层边缘到达漏端,器件穿通。

漏压越高电流越集中于栅下外延层一狭长通道中,并向体内扩散。扩散电流分布在与传输方向有一张角(扩展角)的区域中。

最强电场存在于 $p-n$ 结外延层耗尽层中,强场产生发生在这个区域附近,见图 7。最大产生率与最强电场位置不重合。

四、VDMOS 击穿电压和导通电阻优化分析

击穿电压 BV_{DS} 和导通电阻 R_{on} 是功率器件的两个重要参数。本文用 TDSPM 对这两个参数进行了优化分析,得出了它们与单元间距 a (见图 1) 这个重要结构参数间的优化关系。取不同的 a 值得出相应的击穿电压值。从图 8 可以看到, BV_{DS} 随 a 增大有下降的趋势,但这个变化很小。可以认为当 a 值在一定范围, a 对 BV_{DS} 无影响。这时就可以在保证 BV_{DS} 不受影响的前提下来改变 a 值以优化 R_{on} 。图 8 也画出了 R_{on} 与 a 的关系。由图可以看到,随 a 变化 R_{on} 存在一最小值,这就是优化设计值。

五、结 论

本文编制了功率 MOSFET 二维稳态分析软件。软件具有较好的实用性、通用性。程序

基于漂移扩散模型,特别考虑了功率器件高压速场特性和强场产生效应,因此可以对包括击穿区的各工作区进行模拟。采用截断法对迭代结果进行修正,大大改善了程序求解的收敛性和稳定性,使求解加压步长可取得很大,饱和区漏压可加到 100~200 V。本文用 TDSPM 进行模拟,得出 VDMOS 器件各工作区外部特性曲线和内部物理量分布;详细地分析了器件的内部工作机制;分析了击穿过程和内部击穿机制;最后对器件典型参数进行了优化分析,得出了击穿电压、导通电阻与器件结构参数的优化关系。

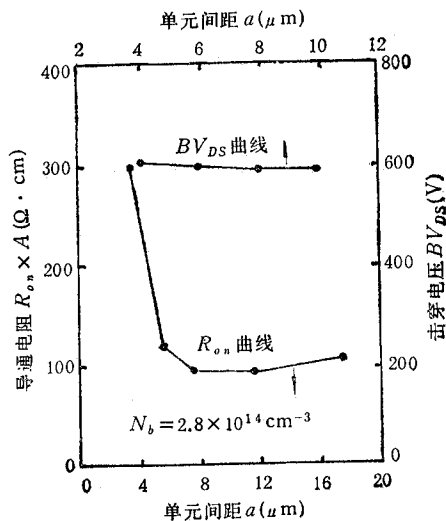


图 8 BV_{DS} , R_{on} 与单元间距 a 的关系

参 考 文 献

- [1] B. J. Baliga, *Modern Power Device*, New York, Wiley, (1987).
- [2] S. Selberherr, *Analysis and Simulation of Power Semiconductor Device*, Springer-Verlay, Wien, New York, (1984).
- [3] A. F. Franz, *IEEE Trans. on CAD*, CAD-4(1985)3, 177—189.
- [4] 梁苏军, 开关功率 MOSFET 的设计与研制, 电子科技大学硕士论文, 成都, 1986年.
- [5] A. Schuetz, *Simulation of Avalanche Breakdown in MOS Transistor*, Ph. D. Dissertation, Technische Univ. Wien (in German), (1982).
- [6] R. Van Overstraeten, *Solid State Electronics*, 13(1970)5, 583—608.
- [7] K. Hwang, D. H. Navon et al., *IEEE Trans. on ED*, ED-32(1985)6, 1143—1145.

TWO-DIMENSIONAL NUMERICAL SIMULATION FOR VDMOS DEVICE AND THE OPTIMIZATION OF ITS TYPICAL PARAMETERS

Liu Xiaomei Hu Rongxiang Luo Jinsheng

(Xi'an Jiaotong University, Xi'an)

Li Zhongjiang

(Weiguang Electrical Engineering Factory, Xi'an)

Abstract A software for numerical simulation of power MOSFET, called TDSPM, is developed. In the program, DDM model is used. The velocity-electrical field characteristics and generation/recombination effect in high electrical field region for electrons are specially considered for simulating device performances at high voltage including the case of breakdown. The entirely coupled method is used. To enlarge the increment of applied voltage, the truncation method is employed. With the truncation method, the increment of drain-to-source of 100~200V can be used in saturation region. TDSPM is applied to simulation of VDMOS. The output characteristics are simulated. Internal distributions of some physical parameters are calculated and investigated. Special emphasis is placed on breakdown. At last the software is applied to optimization of VDMOS.

Key words Power Transistor; MOSFET; Numerical simulation; Breakdown.