

深亚微米槽栅 PMOSFET 几何结构参数 对抗热载流子特性的影响¹

任红霞 郝 跃

(西安电子科技大学微电子研究所 西安 710071)

摘 要 基于流体动力学能量运输模型, 利用二维仿真软件 Medici 对深亚微米槽栅 PMOS 器件的几何结构参数, 如: 沟道长度、凹槽拐角、凹槽深度和漏源结深导致的负结深对器件抗热载流子特性的影响进行了研究, 并从器件内部物理机理上对研究结果进行了解释。研究发现, 在深亚微米和超深亚微米区域, 槽栅器件能够很好地抑制热载流子效应, 且随着凹槽拐角、负结深的增大, 器件的抗热载流子能力增强。这主要是因为这些结构参数影响了电场在槽栅 MOS 器件的分布和拐角效应, 从而影响了载流子的运动并使器件的热载流子效应发生变化。

关键词 深亚微米, 槽栅 PMOSFET, 热载流子效应, 几何结构参数

中图分类号 TN301

1 引 言

槽栅 MOS 结构能够很好地抑制短沟道效应和热载流子效应, 被认为是应用于深亚微米和亚 $0.1\mu\text{m}$ 区域的理想结构, 近年来引起了国际上的重视^[1-3]。但目前国际上对槽栅器件的研究还处于起步阶段, 所涉及的基本上为槽栅 NMOS 器件, 对槽栅 PMOSFET 的研究很少。随着器件尺寸进入亚微米和深亚微米, 由于 PMOS 器件栅氧化层中的陷落电子产生的沟道缩短, 及损伤区在沟道中所占比例的增加, 使器件漏电流和跨导的退化明显增强, CMOS 电路中 PMOS 器件的退化造成的影响不能再被忽略不计。因此对槽栅 PMOSFET 的热载流子特性进行研究是非常必要的。载流子的能量、运动方向由器件的结构参数(如器件的几何形状、掺杂浓度分布)和器件内电势分布所决定。在偏置条件一定的情况下, 沟道热载流子的产生和注入程度主要由器件的结构参数决定。本文基于流体动力学能量运输模型, 利用二维器件仿真软件 Medici, 集中研究了槽栅 PMOSFET 的负结深、凹槽拐角对其抗热载流子特性的影响。衬底和沟道杂质浓度的影响将另文分析。

2 器件结构与模型

图 1 给出槽栅器件结构图。相对于平面器件, 槽栅器件是利用硅刻蚀技术将 MOS 器件的多晶栅沉入槽中, 新型结构可用自对准工艺实现^[4]。由于漏源区域被凹槽隔开, 抑制了漏区电场向源区的扩散, 因而抑制了穿通效应和短沟道效应; 同时, 由于在凹槽拐角处电力线密集, 形成了两个势垒, 因而抑制了阈值电压随沟道的降低和热载流子的产生。本研究的 MOS 槽栅工艺和标准平面工艺的基本参数参照了 $0.5\mu\text{m}$ CMOS 工艺的器件参数, 为 n 型衬底, 杂质浓度为 $5.0 \times 10^{16}\text{cm}^{-3}$; 有效沟道长度为 $0.05\mu\text{m}$, $0.13\mu\text{m}$, $0.50\mu\text{m}$ 和 $0.80\mu\text{m}$, 栅氧化层 4nm , 固定界面态密度 10^{10}cm^{-2} , 沟道杂质浓度分别为 $7.0 \times 10^{17}\text{cm}^{-3}$ 和与衬底浓度相等, 漏源结表面掺杂浓度 $6.0 \times 10^{18}\text{cm}^{-3}$, 漏源结深分别为 $0.06\mu\text{m}$, $0.08\mu\text{m}$ 和 $0.10\mu\text{m}$, 槽栅器件凹槽向下凹入 $0.1\mu\text{m}$, 形成 $0.04\mu\text{m}$, $0.02\mu\text{m}$ 的负结深和 $0.00\mu\text{m}$ 零结深; 以及漏源结深保持 $0.08\mu\text{m}$, 凹槽深度分别为 $0.08\mu\text{m}$, $0.10\mu\text{m}$ 和 $0.12\mu\text{m}$, 分别形成 $0.00\mu\text{m}$, $0.02\mu\text{m}$ 和 $0.04\mu\text{m}$ 零结深。凹槽拐角分别为 30° , 45° , 60° 和 90° 。

¹ 2000-07-14 收到, 2001-02-12 定稿

国家部级基金和高等院校博士点基金资助项目

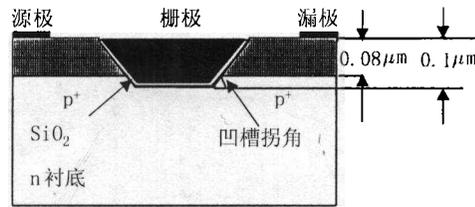


图1 槽栅 PMOSFET 结构图

对深亚微米器件研究时必须考虑各种短沟道效应, 尤其当沟道长度降至与载流子平均自由程可比时, 会出现如非稳态、量子传输等效应。由于槽栅器件是适用于深亚微米及更小尺寸的器件, 必须采用流体动力学模型。流体动力学模型由载流子连续性方程、动量平衡方程、能量平衡方程及电场 Poisson 方程组成, 它能够反映载流子的非本地输运现象, 包括了载流子加热及其相关的现象, 如速度过冲等。在本文的研究中, 我们采用流体动力学模型来描述载流子在器件内的运动和分布, 采用幸运载流子模型来求解栅电流^[5]。模型基本方程中各参数的选取考虑了深亚微米器件的特殊性。同时, 我们采用耦合算法 (Newton's Method) 来求解模型中的基本方程。

3 结果与讨论

MOSFET 沟道中的电场, 器件的栅电流、衬底电流都是器件热载流子效应的敏感参数。在器件尺寸进入亚微米、深亚微米范围后, 大部分衬底热载流子在到达表面前就在强沟道电场的作用下进入源和漏区, 使衬底热载流子效应大大减弱, 所以对深亚微米 MOS 器件退化起主要作用的是沟道热载流子效应。因此我们认为热载流子注入栅电流的大小比衬底电流更能准确地反映热载流子可靠性。

3.1 槽栅 PMOSFET 对热载流子效应的抑制作用

图2给出不同沟道长度下, 槽栅和平面 PMOSFET 栅极热载流子注入电流曲线(衬底电流曲线未给出, 规律相似)。本部分所用器件凹槽拐角 45° , 凹槽深 $0.10\mu\text{m}$, 负结深 $0.02\mu\text{m}$ 。由仿真结果可以看出, 随着沟道长度的缩短, 不论是槽栅器件还是平面器件, 其热载流子效应都明显增大, 但槽栅 PMOSFET 的衬底热载流子碰撞电离电流和栅极热载流子注入电流都远小于平面器件, 这说明, 在同样条件下, 槽栅器件的抗热载流子效应要优于平面器件, 尤其是随着沟道长度的缩短, 槽栅器件的抗热载流子效应比平面器件增强。在沟道长度为 $0.05\mu\text{m}$ 时, 槽栅器件的衬底电流仅为平面器件的 3.3%, 栅电流为 1.54%, 而在沟道长度为 $0.80\mu\text{m}$ 时, 这两个参量分别为 19.9% 和 15.1%。因此, 与平面器件相比, 在短沟道情况下, 槽栅器件能够更好地抑制热载流子效应。另外, 研究还发现在不同沟道长度下, 槽栅器件的衬底碰撞电离电流基本在略大于中栅压的近似相等的偏压下达达到最大值, 栅极热载流子注入电流在略低于中栅压的近似相等的偏压下达达到最大值, 这主要是由于衬底碰撞电流主要由空穴的碰撞电离产生, 而栅极热载流子注入电流则主要由热电子注入电流组成。而平面器件中, 虽然衬底碰撞电离电流同样在高于中栅压下达达到最大值, 栅极热载流子注入电流也同样在略低于中栅压下达达到最大值, 但随着沟道长度的缩短, 栅极热载流子注入电流达到最大值的栅压明显降低, 而衬底碰撞电离电流达到最大值的栅压则略有增大。这主要是因为随着沟道缩短, 在同样外加电场作用下, 沟道内电场增强, 电子速度明显升高, 导致在相对较低的偏压下注入栅极的热载流子便达到最大值, 这也说明平面器件的短沟道效应较严重。

下面我们从槽栅器件内热载流子产生情况及与热载流子产生有关的物理量的分布来分析一下槽栅器件抗热载流子效应增强的原因。槽栅器件内热载流子效应减小的主要原因是由于拐角及拐角势垒(从后面的图4(b)可以清楚看到这一点), 载流子既要改变运动方向, 又要攀越势

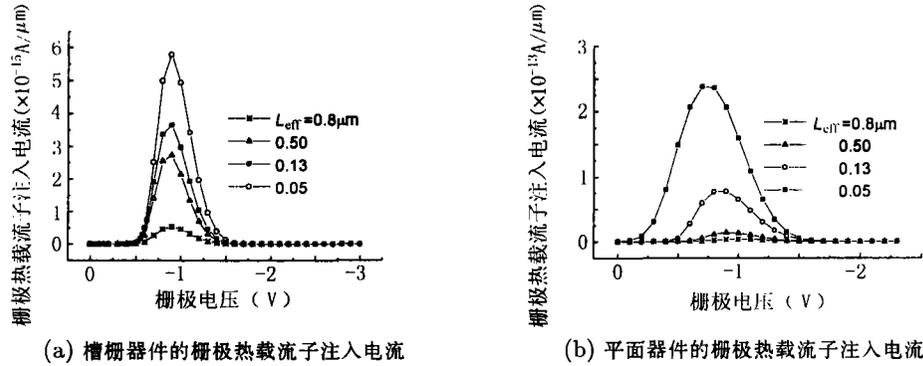


图 2 不同沟道长度的槽栅和平面器件的栅极热载流子注入电流
 $N_{\text{channel}} = N_{\text{sub}} = 5.0 \times 10^{16} \text{cm}^{-3}$ $V_{\text{drain}} = -2.0 \text{V}$

垒,且在源端附近,槽栅器件的场强比平面器件的小,因而槽栅器件的产生率比平面器件的要小,所以衬底电流和栅极电流比平面器件要小得多。由于槽栅器件源端附近场强比平面器件小,注入栅氧化层的热载流子也就较少,这就预示着栅电流较弱。另外,对器件电流的运动情况,在靠近漏区的这一段路程中,槽栅器件的电流线较为离散,载流子离栅较远,相对于平面器件,热载流子更不容易到达栅。

再分析一下两种器件的平行场和热载流子速度分布(见图3)。在平面器件中,平行场即水平电场。在槽栅器件中,平行场指的是平行于栅氧化层与沟道界面的电场分量。在槽栅器件中由于这个分量不好求得,此处取的是平行于电流方向的电场分量。热载流子大量产生于近漏端平行场峰值区。由图可以看出,槽栅器件平行场和载流子速度(电子速度与空穴相似)的峰值和峰值区都远小于平面器件。因此槽栅器件热载流子产生率远低于平面器件,漏极驱动能力也低于平面器件。峰值区位于刚才所讨论的后面的一小段路程,再加上后面这一段路程中,电流线较为离散,热载流子不容易到达栅。这也就预示着槽栅器件的热载流子效应要比平面器件低。

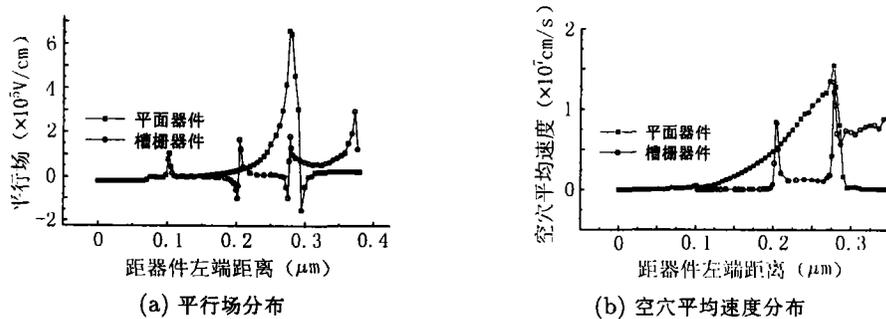


图 3 槽栅就平面器件沿 Si/SiO₂ 界面的平行场和热载流子速度分布

$$L_{\text{eff}} = 0.13 \mu\text{m} \quad N_{\text{channel}} = 7.0 \times 10^{17} \text{cm}^{-3} \quad N_{\text{sub}} = 5.0 \times 10^{16} \text{cm}^{-3} \\ V_{\text{drain}} = -2.0 \text{V} \quad V_{\text{gate}} = -1.0 \text{V}$$

3.2 凹槽拐角对器件抗热载流子特性的影响

本部分研究所用器件负结深为 $0.02 \mu\text{m}$, 凹槽深 $0.10 \mu\text{m}$, 有效沟道长度 $0.13 \mu\text{m}$, 衬底与沟道掺杂浓度相等为 $5.0 \times 10^{16} \text{cm}^{-3}$, 凹槽拐角分别为 $30^\circ, 45^\circ, 60^\circ, 90^\circ$ 。图 4(a) 给出不同凹槽拐角的槽栅 PMOSFET 的栅极热载流子注入电流。仿真中,漏极偏压为 -2.0V 。从图中可以明显看出,随着凹槽拐角的增大,器件的栅电流减小,因而其抗热载流子特性增强;同时其衬底碰撞电离电流增大。且在不同凹槽拐角下,栅极电流基本在略小于中栅压的栅压达到最

大值, 而衬底电流则基本在略大于中栅压的栅压下达到最大值。另外, 随栅压的增大, 一方面拐角处形成的势垒高度增大, 一方面, 热电子更易注入栅极, 导致热载流子电流在中栅压附近达到最大值。

图 4(b) 给出凹槽拐角不同的槽栅 PMOSFET 在 $V_g = -2.0V$ 和 $V_d = -0.0V$ 时沿 Si/SiO₂ 界面的电势分布。正如所料, 凹槽拐角越大, 拐角处的电力线越密集, 而在拐角处形成的势垒也越高, 载流子跨越势垒所需要的能量越大。因此在相同偏压下, 载流子速度降低, 热载流子效应减小, 器件抗热载流子能力增强。

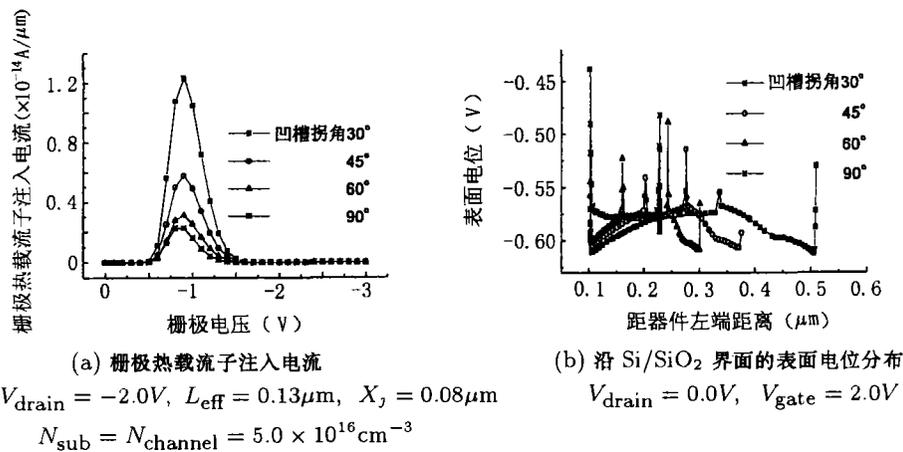


图 4 不同凹槽拐角槽栅器件热载流子效应及其表面电位分布

为对凹槽拐角对器件抗热载流子特性的影响进行详细的解释, 我们还研究了不同凹槽拐角的槽栅器件内电子和空穴速度沿 Si/SiO₂ 界面的分布。研究发现, 随着凹槽拐角的增大, 沟道内电子平均速度降低(但峰值增大), 而空穴速度则增大。这主要是因为沟道内平行场增强的缘故。因而随着凹槽拐角的增大, 栅极电流降低, 而衬底碰撞电离电流增大, 这主要是因为栅极注入电流主要为电子电流, 电子速度随凹槽拐角增大而降低, 成为幸荷载流子的几率变小, 注入栅极电流变小, 而由主要由空穴碰撞电离产生的衬底电流则由于空穴平均速度随凹槽拐角的增大而增大。

3.3 负结深对抗热载流子特性的影响

3.3.1 漏源结深变化导致的负结深对热载流子特性的影响

本部分研究所用器件凹槽拐角为 45°, 衬底与沟道掺杂浓度相等, 凹槽深度保持 0.10 μm 不变, 负结深分别为 0.04, 0.02 和 0.00 μm 。图 5 给出不同负结深槽栅器件的栅极热载流子注入电流曲线。图中结果表明随着负结深的增大, 槽栅器件的栅极热载流子注入电流并不单调变化, 从平结开始(负结深为零), 随着负结深增大, 这个电流先是增大, 然后开始迅速下降, 因此其总的变化趋势是负结深越大, 这个电流越小, 因此可以断言其抗热载流子效应增强。衬底碰撞电离电流随负结深的变化规律与栅极热载流子电流相似。这主要是因为, 随着负结深的增大, 拐角势垒高度的增加, 沟道内平行场升高, 由于电子迁移几率随电场的变化并非单调, 因此, 平行场的增大一方面有使电子速度降低的趋势, 另一方面有使电子速度升高的趋势, 这使得器件的抗热载流子能力在某一负结深下较弱。负结深的增大能够使槽栅器件的抗热载流子特性得到加固。其主要原因是一方面随着负结深的增大, 凹槽拐角处形成的势垒高度增大, 拐角效应明显, 载流子跨越势垒消耗的能量增大; 另一方面, 负结深越大, 沟道的平坦部分越短, 所以载流子获得加速的路径越短, 载流子在沟道内获得加速的能量减小, 成为幸荷载流子的几率变小, 因而器件抗热载流子效应增强。

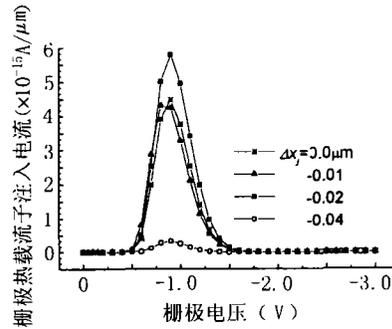


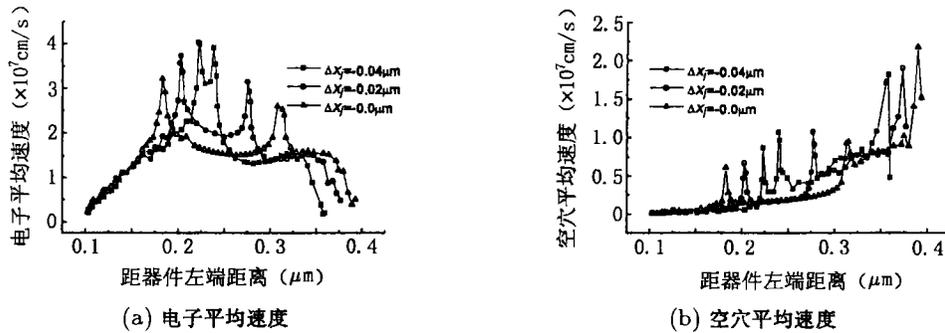
图5 不同负结深的槽栅器件的栅极热载流子注入电流
 $L_{\text{eff}} = 0.13 \mu\text{m}$ $V_{\text{drain}} = -2.0\text{V}$
 凹槽深度 $= 0.10 \mu\text{m}$

3.3.2 凹槽深度变化导致的负结深对器件抗热载流子能力的影响

本部分研究所用器件凹槽拐角为 45° ，衬底与沟道掺杂浓度相等为 $5.0 \times 10^{16} \text{cm}^{-3}$ ，漏源结深保持 $0.08 \mu\text{m}$ 不变，负结深分别为 0.04 ， 0.02 和 $0.00 \mu\text{m}$ 。对由凹槽深度变化引起的负结深不同的槽栅器件栅极热载流子注入电流和衬底电流的研究结果表明，随着凹槽深度增大，负结深增大，不论是器件的栅极热载流子注入电流还是衬底碰撞电离电流都明显单调降低，这说明器件的抗热载流子能力明显增强。基本原因是，与漏源结深变化相似，随着负结深的增大，凹槽拐角势垒增大，载流子翻越势垒花费了较大的能量，导致沟道内热载流子速度降低，成为幸荷载流子的几率降低，导致热载流子电流减小。

接着从与热载流子特性有关的特征量在器件内的分布来分析一下抗热载流子性能随凹槽深度增大的原因。我们首先研究了不同负结深的槽栅器件沿 Si/SiO_2 界面的平行场和电场幅值分布。研究发现，与结深改变引起的情况相似，随着负结深的增大，沟道的靠近源极的倾斜部分和平坦部分内，电势和电场幅值都增大，而靠近漏极的沟道部分，这两个参量则随负结深的增大而降低。水平场的变化情况与他们不同，基本上是负结深越大，平行场幅值越高，所以在近漏极区域，垂直场幅值降低，由于热载流子注入电流主要发生在近漏极区域，所以器件栅极热载流子电流减小，抗热载流子能力增强。另外，负结深越大，沟道的平坦部分越短，所以载流子获得加速的路径越短，加速能力越弱，因而器件抗热载流子效应增强。

图6给出槽栅器件中电子和空穴沿 Si/SiO_2 界面的平均速度。随着负结深的增大，沟道内靠近源极的斜面部分和平坦部分内电子和空穴的平均速度都增大，靠近漏极的斜面部分电子平均速度则降低，空穴则略微增大。既然如此，那么载流子成为热载流子的几率似乎应增大，按我们前面的推论似乎器件的热载流子效应应该增大。但我们看到实际结果并不是这样。因为随着负结深的增大，垂直场幅值降低（水平场增大，电场幅值降低），虽然热载流子数目增多，但热载流子成为幸荷载流子而对栅电流有贡献的几率却大大减小，同时热载流子效应大部分由热电子在漏极附近形成，而漏极附近沟道内电子速度的降低也抑制了注入电流的产生，由于以上两方面的原因，使得槽栅器件的栅电流仍然降低，而没有随载流子速度在沟道前半部分的升高而增大。我们对不同负结深器件总注入电流和注几率的研究也证明了这一点。

图 6 不同负结深槽栅器件内沿 Si/SiO₂ 界面电子和空穴的平均速度分布

$$L_{\text{eff}} = 0.13 \mu\text{m} \quad X_j = 0.08 \mu\text{m} \quad \text{凹槽拐角 } 45^\circ$$

$$L_{\text{drain}} = -2.0 \text{V} \quad V_{\text{gate}} = -1.0 \text{V}$$

3.3.3 凹槽深度与漏源结深度变化引起的负结深变化对抗热载流子特性影响的比较

本部分对由两种变化方式(漏源结变化和凹槽深度变化)引起的负结深不同的槽栅器件的抗热载流子特性的变化进行对比。最明显的一个区别是随着由凹槽深度改变引起的负结深的增大,器件的栅极注入热载流子电流和衬底电流快速地单调降低,抗热载流子特性增强,而不像由结深变化引起的负结深增大那样,先是增大接着才降低。下面我们再分析影响区别的详细情况。表 1 和 2 分别为两种方式的改变导致的负结深不同的器件的最大衬底碰撞电离电流和栅极热载流子注入电流的变化,可以看出,槽深改变导致的器件抗热载流子特性随负结深的增大急剧增强,深负结器件的衬底电流和栅电流分别为零结器件的 51.08% 和 28.94%; 而结深改变的器件则并不是随负结深的增大而增强,有一最佳负结深使器件的抗热载流子效应最强。

表 1 由凹槽深度变化引起的不同负结深的槽栅器件的热载流子特征参量

| 负结深 ($X_j = 0.08 \mu\text{m}$) | 最大栅极电流 ($\text{A}/\mu\text{m}$) | 最大衬底电流 ($\text{A}/\mu\text{m}$) |
|----------------------------------|---|---|
| $-0.04 \mu\text{m}$ | $3.08119 \times 10^{-15} (-0.9 \text{V})$ | $6.06409 \times 10^{-10} (-1.1 \text{V})$ |
| $-0.02 \mu\text{m}$ | $6.34464 \times 10^{-15} (-0.9 \text{V})$ | $9.0212 \times 10^{-10} (-1.1 \text{V})$ |
| $-0.0 \mu\text{m}$ | $1.0645 \times 10^{-14} (-0.9 \text{V})$ | $1.18723 \times 10^{-9} (-1.0 \text{V})$ |

表 2 由结深变化引起的不同负结深的槽栅器件的热载流子特征参量

| 负结深 (槽深 $0.1 \mu\text{m}$) | 最大栅极电流 ($\text{A}/\mu\text{m}$) | 最大衬底电流 ($\text{A}/\mu\text{m}$) |
|-----------------------------|---|---|
| $-0.04 \mu\text{m}$ | $3.19107 \times 10^{-16} (-0.9 \text{V})$ | $5.23861 \times 10^{-10} (-1.1 \text{V})$ |
| $-0.02 \mu\text{m}$ | $5.78179 \times 10^{-15} (-0.9 \text{V})$ | $9.65293 \times 10^{-10} (-1.1 \text{V})$ |
| $-0.0 \mu\text{m}$ | $4.29596 \times 10^{-15} (-0.8 \text{V})$ | $7.97705 \times 10^{-9} (-1.0 \text{V})$ |

4 结 论

本文首先研究了槽栅器件在深亚微米情况下对热载流子效应的抑制作用,接着对深亚微米槽栅 PMOS 器件的几何结构参数,如:凹槽拐角、分别由漏源结深和凹槽深度变化引起的负结深对器件抗热载流子特性的影响进行了研究,并从器件内部物理机理上对研究结果进行了解释。研究表明槽栅器件的抗热载流子特性受器件结构参数影响强烈,随着凹槽拐角和负结深的增大,器件的抗热载流子能力明显增强。这主要是因为这些结构参数影响了电场在槽栅 MOS 器件的分布和拐角效应,从而影响了载流子的运动并使器件的热载流子效应发生变化。

参 考 文 献

- [1] K. Hieda, Sub-half-micrometer concave MOSFET with double LDD structure, IEEE Trans. on Electron devices, 1992, 39(3), 671-676.
- [2] K. Natori, I. sasaki, F. Masuoka, An analysis of the concave MOSFET, IEEE Trans. on Electron devices, 1978, 25(4), 448-456.
- [3] L. Jeongho, B. G. Park, A Novel 0.1 μm MOSFET Structure with Inverted Sidewall and Recessed Channel, IEEE Electron Device Letters, 1996, 17(4), 157-159.
- [4] 任红霞, 深亚微米槽栅 CMOS 器件特性研究, 博士后研究报告, 西安电子科技大学, 1999 年 12 月.
- [5] Technology Modeling Associates, Inc. Medici Two-Dimensional Device Simulation Program Version 2.3 User's Manual, Vol.1, Feb. 1997.

INFLUENCE OF GEOMETRICAL STRUCTURE PARAMETERS ON
HOT-CARRIER-EFFECT IN DEEP-SUBMICRON GROOVED
GATE PMOSFET

Ren Hongxia Hao Yue

(Institute of Microelectronics, Xidian University, Xi'an 710071, China)

Abstract Based on the hydro-dynamics energy transport model, the influence of geometrical structure parameters on hot-carrier-effect immunity in deep-submicron grooved gate PMOSFET is studied and explained in terms of device interior physics mechanism. These investigated structure parameters include effective channel length, concave corner and negative junction depth induced by change of source/drain junction depth and groove depth respectively. The research results indicate that the hot-carrier-effect is depressed deeply for grooved gate PMOSFET even in deep and super-deep-sub-micron region, and with the increase of concave corner and negative junction depth, the hot-carrier-effect immunity becomes better. It is mainly because that the structure parameters influence the electric field distribution in device and "corner effect" and so do the transportation of carriers.

Key words Deep-sub-micrometer, Grooved gate PMOSFET, Hot-carrier-effect, Geometrical structure parameters

任红霞: 女, 1967 年生, 博士, 教授, 研究方向: 新型电路与器件的可靠性分析.

郝跃: 男, 1958 年生, 教授, 博士生导师, 研究方向: 集成电路可靠性与可制造性研究.