

时序险象基本判据¹

童永承

(湖北师范大学计算机科学系 湖北黄石 435002)

摘 要 本文利用几个定义和限制,得到了一外部激励 $\bar{x}$, n 个状态变量电位异步时序电路的任一状态的一般逻辑表达式——特性方程。将此方程与状态表结合,导出了产生时序险象时的状态变量数和稳定状态数所满足的条件;给出了对时序险象研究特别有用的基本判定法则。

关键词 时序险象, 一般逻辑表达式, 基本判据

中图分类号 TN79

1 引 言

数字电路分组合逻辑电路和时序逻辑电路,它们共同形成了电子计算机电路的核心组件。在电路结构上,时序电路无论是同步还是异步都是由组合逻辑电路闭环而成,这就是说,时序电路的描述方程的复杂程度远远超过组合电路的描述方程。另一方面,在电子计算机中时序电路使用的数量和占据的空间要比组合电路大得多。

数字险象分组合险象和时序险象,它们是使数字电路不能正常工作的异常现象,影响电子计算机的工作。很显然,时序险象出现的几率要比组合险象大很多。我们使用参与逻辑函数和逻辑函数余式理论系统地解决了长期未能解决的组合险象判定难题^[1],继而完成了无险象组合电路的设计^[2]。可是严格地说,时序险象的系统分析,完整理论研究,目前不多,进展不大。实践上遇到这类现象时,还是用经验方法处理^[3]。就组合险象和时序险象的重要性而言,无疑时序险象处于首位^[4]。

本文对时序险象进行了研究,利用有关定义和限制,得到了一外部激励 $\bar{x}$, n 状态变量电位异步电路的任一状态的一般逻辑表达式;再结合状态表,导出了产生时序险象时的状态变量数和稳定状态数所满足的条件,为系统研究时序险象奠定了基础。

2 定义和限制

时序电路分同步电路和异步电路。同步电路是由触发器与附加组合电路构成。电路的状态是在同步时钟脉冲作用下改变。这类电路不会发生异常现象。异步电路分脉冲异步电路和电位异步电路。电位异步电路结构绝大部分都是实际门电路闭环构成的。如果将输入、输出间的全部反馈线断开,这类电路无疑就是组合电路。对于电位异步电路,下述规律必须存在:

公理 时序险象出现在电位异步电路中,同步电路不会发生这种异常现象。电位异步电路是组合电路闭环而成的,电位异步电路也可能发生竞争。

定义 1 电位异步电路外部电位激励信号多于一个所发生的异常现象称为竞争。

定义 2 竞争的结果导致电位异步电路达到同一状态,这种竞争称为临界竞争。

这种竞争有可能提高电位异步电路的工作速度。

¹ 1996-11-13 收到, 1997-05-26 定稿

定义3 竞争的结果导致电位异步电路进入不同的状态, 这种竞争称为非临界竞争。

很显然, 非临界竞争使电位异步电路工作不正常。

定义4 电位异步电路在一外部电位激励信号作用下, 发生的异常现象称为时序险象。

时序险象是由实际门电路和传输线时延引起的。外部电位激励没有改变, 由于闭环结构, 电路内部状态改变使得电位异步电路进入不同的终态。

定义5 电位异步电路由某一稳定状态(称为现态), 在外部电位激励作用下进入下一状态(称为次态), 如果次态就是现态, 则称次态为稳态, 否则为不稳态。

限制1 电路处于稳定状态时, 才允许外部激励信号改变。此时的稳定状态指的是电路内部状态, 亦即电路内部稳定。这是各种时序电路的共同基本要求。

限制2 电位异步电路外部电位激励信号须循环相邻, 电路内部状态变化则无此项限制。

电位异步电路由一状态转变到另一状态, 其中间过渡状态可以是稳态, 也可以是不稳态。

3 电位异步电路描述方式

描述数字电路用逻辑表达式最方便。属于数字电路的组合逻辑电路所发生的组合险象就是用逻辑表达式进行分析研究的。我们在逻辑函数理论上, 利用逻辑函数余式, 对组合逻辑电路的组合险象做了完整严密的理论推导。得出了普遍情况下的多输入组合电路所产生的逻辑冒险, 及0型和1型功能冒险有了精确定位^[5]。逻辑冒险为: $\bar{x}_i + \bar{x}_i$ 或 $\bar{x}_i \bar{x}_i$, 0型功能冒险为: $1 \rightarrow 0 \rightarrow 1$; 1型功能冒险为: $0 \rightarrow 1 \rightarrow 0$ 。

组合险象成功的精确定位为时序险象的分析研究提供了一种借鉴方法。要解决时序险象问题, 也必须导出时序电路的一般描述方程, 即一般逻辑表达式。

上节已指出, 同步电路不会发生异常现象, 所以, 下面我们对电位异步电路的一般逻辑表达式进行推导。

外部电位激励 $\bar{x}_k$ 进入端为输入端, 异侧为输出端, 与 $\bar{x}$ 同侧是现态 $\bar{y}_n^i$, 异侧为次态 $\bar{y}_{n+1}^i$, 开环后, 电位异步电路的完整的一般逻辑表达式为

$$\left. \begin{aligned} y_{n+1}^i &= f_1^i(\bar{x}_k; \bar{y}_i) + F_1^i(\bar{y}_i), \\ \bar{y}_n^i &= f_2^i(\bar{x}_k; \bar{y}_i), \\ z_m^i &= f_3^i(\bar{x}_k; \bar{y}_i) + F_3^i(\bar{y}_i), \end{aligned} \right\} \quad (1)$$

其中 $\bar{y}_n^i = f_2^i(\bar{x}_k; \bar{y}_i)$ 为激励方程, 式中电位激励 $\bar{x}_k$, $k=1, 2, \dots, a$, $\bar{x}$ 可为 x 或 $\bar{x}$; 电路状态 $\bar{y}_i$, $i=1, 2, \dots, n$, $\bar{y}$ 可为 y 或 $\bar{y}$; 电路输出 z_l , $l=1, 2, \dots, m$ 。 $F_1^i(\bar{y}_i)$, $F_3^i(\bar{y}_i)$ 是为消除组合险象所加入的修正项。

我们关心的是电位异步电路时序险象问题, 上式则为

$$\left. \begin{aligned} y_{n+1}^i &= f_1^i(\bar{x}_k; \bar{y}_i) + F_1^i(\bar{y}_i), \\ z_m^i &= f_3^i(\bar{x}_k; \bar{y}_i) + F_3^i(\bar{y}_i). \end{aligned} \right\} \quad (2)$$

时序险象与电路输出 z_m^i 联系也不多, 在分析处理此问题时, 修正项 $F_1^i(\bar{y}_i)$, $F_3^i(\bar{y}_i)$ 不起什么作用, 因此, 研究时序险象时, 电位异步电路一般逻辑表达式, 亦即特性方程, 或状态方程为

$$y_{n+1}^i = f_1^i(\bar{x}_k; \bar{y}_i). \quad (3)$$

4 时序险象基本判定法则

仅用电位异步电路一般逻辑表达式 (3) 式进行时序险象定位研究显然是不够的, 还须状态表作为辅助手段。

判据 1 一外部激励 $\tilde{x}$, n 状态变量电位异步电路有 s 个稳态, 若 $s \leq 2^n$, 且 s 全在 $\tilde{x}$ 或 $\bar{\tilde{x}}$ 下, 则此电路不发生时序险象。

这个法则相当明显。一外部激励 $\tilde{x}$, n 状态变量之电位异步电路全部状态数为 2^{n+1} , s 个稳态, $s \leq 2^n$, 全在 $\tilde{x}$ 下, 而在 $\bar{\tilde{x}}$ 下全为不稳态; 或者 s 个稳态全在 $\bar{\tilde{x}}$ 下, 而在 $\tilde{x}$ 下全为不稳态, 即外部激励 $\tilde{x}$ 对此电路不作用, 当然也就不发生时序险象。

判据 2 一外部激励 $\tilde{x}$, n 状态变量电位异步电路发生时序险象时, 最小稳定状态数必为

$$s_{\min} = 3. \quad (4)$$

证明 一外部激励 $\tilde{x}$, n 状态变量电位异步电路: $y_{n+1}^i = f_1^i(\tilde{x}_k; \tilde{y}_1, \tilde{y}_2, \dots, \tilde{y}_n)$, 全部状态数为 2^{n+1} 个。这些状态可以是稳态, 也可以是不稳态。电路若仅有一个稳态, 不稳态则是 $2^{n+1} - 1$, 此电路绝不会发生时序险象。电路若有两个稳态, 稳态全在 $\tilde{x}$ 下或全在 $\bar{\tilde{x}}$ 下; 或一稳态在 $\tilde{x}$ 下, 另一稳态在 $\bar{\tilde{x}}$ 下, 很显然, 此电路不会发生时序险象。电路若有三个稳态, 三个稳态分配为下述两种可能之一: 三个稳态全在 $\tilde{x}$ 或 $\bar{\tilde{x}}$ 下; 一个稳态在 $\tilde{x}$ 下, 其余在 $\bar{\tilde{x}}$ 下; 反之亦可。不言而喻, 在第二种情况下, 此电路可能发生时序险象。

推论 1 一外部激励 $\tilde{x}$, n 状态变量电位异步电路发生时序险象时, 状态变量数必为

$$n \geq 2. \quad (5)$$

上述推论是判据二的直接结果。

判据 3 一外部激励 $\tilde{x}$, n 状态变量电位异步电路发生时序险象时, 最大稳态数必为

$$s_{\max} = 2^{n+1} - 3. \quad (6)$$

证明 一外部激励 $\tilde{x}$, n 状态变量电位异步电路状态分为稳态和不稳态。若稳态数为 $2^{n+1} - s$, 不稳态数为 s , $0 \leq s \leq 2^{n+1}$ 。很显然, 电路若仅有一个不稳态, 此电路不发生时序险象。电路若有两个不稳态, 若分配在不同的外部激励下, 每个不稳态可作为过渡状态, 电路不发生时序险象; 两个不稳态全在 $\tilde{x}$ 或 $\bar{\tilde{x}}$ 下, 不论这两个不稳态是否相同, 都可作为过渡状态, 电路也不发生时序险象。电路有三个不稳态, 那么以不稳态作为过渡状态时, 此电路可能发生时序险象。

判据 4 一外部激励 $\tilde{x}$, n 状态变量电位异步电路, 若任意一状态方程为

$$y_{n+1}^i = \tilde{x} f_1^i(\tilde{y}_1; \tilde{y}_2, \dots, \tilde{y}_n) + \bar{\tilde{x}} f_2^i(\tilde{y}_1; \tilde{y}_2, \dots, \tilde{y}_n). \quad (7)$$

此电路可能发生时序险象。

证明 上述电路, 在 $\tilde{x}$ 下, 状态 y_{n+1}^i 有 n 个确定值; 在 $\bar{\tilde{x}}$ 下, 状态 y_{n+1}^i 也有 n 个确定值。再考虑其他状态方程, 在 $\tilde{x}$ 或 $\bar{\tilde{x}}$ 下的确定值, 这些确定值所构成的稳定状态数极其容易满足判据 2, 则此电路可能发生时序险象。

判据 5 一外部激励 $\tilde{x}$, n 状态变量电位异步电路, 若任意二状态方程为

$$\left. \begin{aligned} y_{n+1}^i &= \tilde{x} f_1^i(\tilde{y}_1; \tilde{y}_2, \dots, \tilde{y}_n) + \bar{\tilde{x}} f_2^i(\tilde{y}_1; \tilde{y}_2, \dots, \tilde{y}_n), \\ y_{n+1}^j &= \tilde{x} f_1^j(\tilde{y}_1; \tilde{y}_2, \dots, \tilde{y}_n) + \bar{\tilde{x}} f_2^j(\tilde{y}_1; \tilde{y}_2, \dots, \tilde{y}_n), \quad j = 1, 2, \dots, n. \end{aligned} \right\} \quad (8)$$

此电路可能发生时序险象。

证明 在一外部激励 $\bar{x}$, n 状态变量电位异步电路中, 若 $i = j, j = 1, 2, \dots, n$, (8) 式即 (7) 式, 此电路可能发生时序险象。若 $i \neq j$, 在 $\bar{x}$ 下, 状态 y_{n+1}^i 有 n 个确定值; 在 $\bar{x}$ 下, 状态 y_{n+1}^i 也有 n 个确定值。连同其他状态方程的确定值所构成的稳态数满足判据 2 时, 这个电路亦可能发生时序险象。

推论 2 一外部激励 $\bar{x}$, n 状态变量电位异步电路, 其状态方程为: $y_{n+1}^i = \bar{x}f_1^i(\bar{y}_1; \bar{y}_2, \dots, \bar{y}_n)$, 或为: $y_{n+1}^i = \bar{x}f_2^i(\bar{y}_1; \bar{y}_2, \dots, \bar{y}_n)$, 此电路不发生时序险象。

判据实例 一电位异步电路开环后状态方程为

$$\left. \begin{aligned} y_{n+1}^1 &= \bar{x}\bar{y}_2 + \bar{x}\bar{y}_1 + \bar{y}_1\bar{y}_2, \\ y_{n+1}^2 &= \bar{x}\bar{y}_2 + \bar{x}\bar{y}_1 + \bar{y}_1\bar{y}_2, \end{aligned} \right\}$$

式中 $\bar{y}_1\bar{y}_2$ 和 $\bar{y}_1\bar{y}_2$ 为消除逻辑冒险而加入的修正项。上述方程就是文中 (8) 式的形式, 此式中, $n = 2$ 。该电位异步电路若用“与非”门电路实现, 当参数选择不当时, 很容易用状态表验证此电路发生时序险象^[3]。这个例子就是文中判据的实际应用。

5 结 论

时序险象因时序电路在数字电路和电子计算机中的位置, 其重要性要比组合险象大得多。从理论上讲, 组合险象若没有解决, 时序险象就根本不可能解决。我们利用开环方法导出了一外部激励 $\bar{x}$, n 状态变量的电位异步电路任一状态 y_{n+1}^1 的一般逻辑表达式 (7) 和 (8) 式, 这是系统研究时序险象的理论基础。将状态表和状态方程结合, 电位异步电路发生时序险象的基本条件是: 最小稳态数 $s_{\min} = 3$; 最大稳态数 $s_{\max} = 2^{n+1} - 3$;

$$y_{n+1}^i = \bar{x}f_1^i(\bar{y}_1; \bar{y}_2, \dots, \bar{y}_n) + \bar{x}f_2^i(\bar{y}_1; \bar{y}_2, \dots, \bar{y}_n);$$

$$\left. \begin{aligned} y_{n+1}^i &= \bar{x}f_1^i(\bar{y}_1; \bar{y}_2, \dots, \bar{y}_n), \\ y_{n+1}^j &= \bar{x}f_2^j(\bar{y}_1; \bar{y}_2, \dots, \bar{y}_n). \end{aligned} \right\}$$

且在某外部激励下, 状态不能全为不稳态。

不难看出, 这些工作对理论上深入研究时序险象, 最终系统地按时序险象精确定位, 消除时序险象是十分重要的。从而对数字电路和电子计算机迅速发展起到一些有益的作用。

参 考 文 献

- [1] 童永承. 组合险象逻辑余式判据, 计算机学报, 1994, 17(6): 429-434.
- [2] 童永承. 无险象组合电路设计探讨, 计算机学报, 1994, (增刊): 99-102.
- [3] 王玉龙编. 数字逻辑, 北京: 高等教育出版社, 1987, 243-281.
- [4] 李建勋, 著, 罗银芳, 译. 数字电路与逻辑设计, 北京: 科学出版社, 1981, 167-225.

- [5] 童永承. 多输入组合险象精确定位, 计算机学报, 1997, 20(5): 433-440.

BASIC CRITERIA OF SEQUENTIAL HAZARD

Tong Yongcheng

(Dept. of Computer Hubei Normal University, Huangshi 435002)

Abstract By using some definitions and restrictions, an ordinary logical expression—the characteristic equation for one external urge and an arbitrary state of n -state variables potential asynchronous sequential logical circuit is obtained. The characteristic equation combines express with the state table, the conditions satisfied by the state variable numbers and stable state numbers when happen sequential hazards are deduced. The basic laws which are particularly used to study sequential hazards are given.

Key words Sequential hazards, Ordinary logical express, Basic criteria

童永承: 男, 1945 年生, 副教授, 从事模拟电路, 数字电路的教学和在数字险象, 人工智能及微机应用等方面的研究工作.