

基于数字锁相环的星载光谱仪本地时钟源设计

田禹泽^{①②} 王煜^{*②} 代海山^③ 方华^③ 刘文清^②

^①(中国科学技术大学环境科学与光电技术学院 合肥 230027)

^②(中国科学院安徽光学精密机械研究所环境光学与技术重点实验室 合肥 230031)

^③(上海卫星工程研究所 上海 200240)

摘要: 该文针对太阳同步轨道卫星由于通讯误码导致卫星时钟不正常翻转造成的错误,提出了纠错策略。基于卫星时钟和本地时钟授时误差互补的特点,设计了一种应用于低频输入信号和大倍频系数条件下的数字锁相环(DPLL),利用数字锁相环使本地时钟跟踪卫星时钟秒脉冲的相位波动,实时消除本地时钟的累积误差。对该时钟源进行了理论分析和实验验证,用现场可编程门阵列(FPGA)予以实现。实验表明,该设计实现的时钟源可以实时纠正卫星时钟出现的秒脉冲不正常翻转、秒脉冲丢失、时间包跳变、时间包丢失等错误,最短可以在5个输入时钟周期内进入锁定状态,稳定工作时每秒累积误差小于100 μs ,可作为星载光谱仪本地时钟源使用。

关键词: 数字锁相环; 反馈控制; 比例积分控制; 倍频; FPGA

中图分类号: TN911.8

文献标识码: A

文章编号: 1009-5896(2017)10-2397-07

DOI: 10.11999/JEIT170088

Design of Local Clock Source of Satellite Borne Spectrometer Based on Digital Phase Locked Loop

TIAN Yuze^{①②} WANG Yu^{*②} DAI Haishan^③ FANG Hua^③ LIU Wenqing^②

^①(School of Environmental Science and Optoelectronic Technology, University of Science and Technology of China, Hefei 230027, China)

^②(Key Laboratory of Environment Optics and Technology, Anhui Institute of Optics and Fine Mechanics, Chinese Academy of Sciences, Hefei 230031, China)

^③(Shanghai Satellite Engineering Research Institute, Shanghai 200240, China)

Abstract: Under the condition of working in sun-synchronous orbit, the error correction strategy is put forward due to the error caused by the communication error. According to the complementary error characteristics between satellite clock and local clock, a Digital Phase Locked Loop (DPLL) is designed, which is applied to the low frequency input signal and the large frequency multiplication factor. The local clock tracks the satellite clock pulse phase fluctuations and eliminates the accumulate error constantly. The complete design is developed with Field Programmable Gate Array (FPGA) devices and the detailed theoretical analysis and experimental results are presented. Experiments show that the design of the clock source can correct the abnormal flip or lose of second pulse and jump or lose of broadcast time package constantly. It can enter the lock state in 5 input clock cycles, and the cumulative error is less than 100 μs . It can be used as the local clock source of satellite borne equipment.

Key words: Digital Phase Locked Loop (DPLL); Feedback control; Proportional integral control; Frequency-multiplier; FPGA

1 引言

遥感数据的后期处理需要结合地理位置^[1],因此遥感设备需要配备高精度的本地时钟记录成像时间

用于高精度地理定位。

卫星使用由铯原子钟或GPS时钟产生的秒脉冲(Pulse Per Second, PPS)和数管通讯广播时间包(Broadcast Time Package, BTP)向各星载设备发送时间,但是星载光谱仪需要精度为百微秒的时钟记录起始曝光时刻,而通过秒脉冲和广播时间包授时不足以满足需求。另一方面,卫星平台由于通讯误码等原因,星上时钟源发送给各载荷设备的时间信息可能出现错误,需要本地时钟源设计纠错策略。

星载光谱仪本身可以使用晶振产生高分辨率本

收稿日期: 2017-01-23; 改回日期: 2017-05-03; 网络出版: 2017-06-27

*通信作者: 王煜 yu.wang@aiofm.ac.cn

基金项目: 国家自然科学基金(41275037), 安徽省杰出青年科学基金(1308085JGD03)

Foundation Items: The National Natural Science Foundation of China (41275037), Anhui Province Outstanding Youth Science Foundation (1308085JGD03)

地时钟, 晶振时钟的稳定性较高, 单个时间间隔的漂移非常小, 但长时间运行的累积误差较大^[2]。如果本地时钟与卫星时钟不同步, 晶振误差长期累积会导致本地时钟产生漂移^[3,4], 所以需要晶振与卫星时钟同步产生同步倍频时钟。

一种简易的本地时钟源设计方法是使用固定频率的晶振以固定分频系数分频并计数产生本地时钟, 在每个输入秒脉冲的前沿复位计数器。由于晶振的累积误差, 这种方法产生的时钟会在秒脉冲前沿到来前的一个时钟周期产生相位突变。采用数字锁相环的方法, 通过不断采集基准时钟(秒脉冲)和本地时钟(晶振)的相位差调节晶振的分频系数, 调整本地时钟快慢使其与基准时钟同步, 可以有效避免相位突变。锁相环可分为硬件锁相环和软件锁相环两种。软件锁相环基于软件算法^[5], 占用 CPU (Central Processing Unit) 机时, 实时性和稳定性较差。目前高速星载设备都具有 FPGA 作为控制单元, 为此提出基于 FPGA 的数字锁相环硬件实现。

目前对于星上时钟纠错策略的分析较少, 而对于低频输入信号的相位跟踪已经有很多深入的分析。文献[3]通过对秒脉冲误差进行建模分析并做出预测, 再通过补偿方案在线调整晶振实现精确输出; 文献[6]依据卫星时钟与晶振时钟授时误差互补特点, 采用 GPS 信号在线修正晶振秒脉冲的累积误差; 文献[7]考虑了晶振频率漂移等因素造成的时间偏差, 通过相位补偿算法进一步提高了卫星时钟的授时稳定性和精确度。但上述方法均有不足, 如样本数据量大, 补偿方案复杂, 锁定时间长, 精度低等, 且均未做倍频处理。数字锁相环有多种成熟的分析方法。文献[8]基于数字锁相环的 Z 域模型, 通过逆 Z 变换, 推导出数字锁相环内噪声在时间域上的响应公式。文献[9]利用根轨迹图分析数字滤波器参数对数字锁相环稳定性的影响。文献[10]对全数字硬件化锁相环的性能退化规律进行了分析。文献[11]提出了大频偏低信噪比条件下的锁相环分析方法。数字锁相环设计多数应用于高频输入信号^[12,13]和低倍频系数(10^2 数量级)的条件^[14,15], 而通过秒脉冲倍频产生百微秒时钟需要做 10000 倍频。在低频输入信号和大倍频系数条件下, 应用于航天设备实现时

钟纠错, 快速捕获, 跟踪, 倍频的设计较少, 因此本文对基于数字锁相环的星载光谱仪本地时钟源进行了理论分析和试验, 并给出相应结论。

2 纠错策略

2.1 错误分析

图 1 展示了秒脉冲和广播时间包可能出现的几种错误。若设定正常秒脉冲间隔为 $1 \pm 1 \text{ ms}$, 当接收到的秒脉冲间隔小于 0.999 s 或大于 1.001 s 时, 即出现秒脉冲超前或者滞后的情况; 如果长时间未接收到秒脉冲, 则秒脉冲丢失。将广播时间包携带的时间信息 T 精确到秒, 每个秒脉冲前沿到来时读取广播时间包信息, 正常的广播时间包携带的时间信息逐个递增 1 s ; 若读取的相邻两个广播时间包有较大差值 Δ , 则广播时间包发生跳变; 若读取的相邻两个广播时间包相同, 即广播时间包没有更新, 则广播时间包丢失。

2.2 纠错策略

图 2 为纠错模块的原理图。

当卫星时钟秒脉冲前沿到达时, 输入秒脉冲计数器复位并开始计数, 记录相邻两个输入秒脉冲的时间间隔, 即输入秒脉冲的周期。将记录的秒脉冲周期与设定的周期阈值比较, 若当输入计数器计数值小于 0.999 s 时下一个秒脉冲前沿到达, 则认为是秒脉冲超前; 若当输入计数器计数值等于 1.001 s 时下一个秒脉冲前沿仍未到达, 则认为是秒脉冲滞后或丢失; 若当输入计数器计数值在 0.999 s 到 1.001 s 之间时下一个秒脉冲到达, 则认为是正常秒脉冲。如果接收到正常秒脉冲, 则秒脉冲状态计数器加 1, 否则清零。当秒脉冲状态计数器大于等于 5 (即连续接收到 5 个正常秒脉冲之后), 秒脉冲状态控制器输出有效信号; 当秒脉冲状态计数器小于 5 时 (表示秒脉冲出现了错误), 秒脉冲状态控制器输出无效信号。输出计数器计满 1 s 时输出下一个纠错处理后的秒脉冲, 若秒脉冲状态控制器输出有效, 则令输出计数器与输入计数器同步; 若秒脉冲状态控制器输出无效, 则输出计数器清零并重新开始计数。

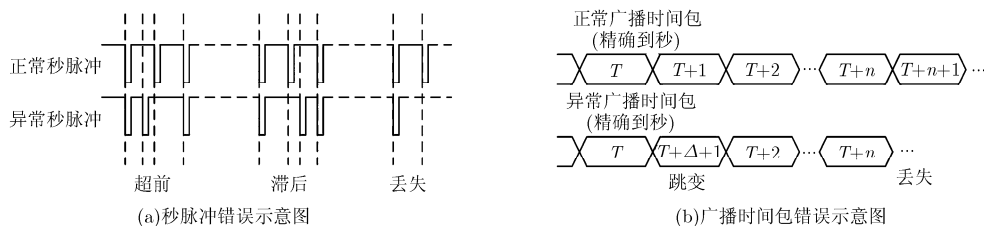


图 1 秒脉冲和广播时间包错误示意图

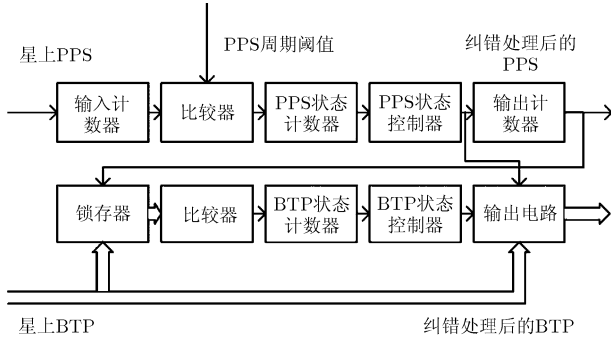


图 2 纠错模块原理图

纠错处理后的秒脉冲作为锁存信号锁存卫星时钟的广播时间包。将当前锁存的广播时间包与上一个广播时间包比较，若相差为 1 s，表示收到正确的广播时间包，时间包状态计数器加 1；否则表示广播时间包发生跳变或丢失，时间包状态计数器清零。当时间包状态计数器大于等于 5 且秒脉冲状态控制器输出有效信号时（即秒脉冲正常情况下连续接收到 5 个正常广播时间包），时间包状态控制器输出有效信号，时间包输出电路输出纠错处理后的广播时间包为输入的卫星时钟广播时间包；其他情况下（秒脉冲错误，广播时间包跳变或丢失），时间包输出电路输出纠错处理后的广播时间包为上一个输出的纠错处理后的广播时间包加 1 s。

通过逻辑分析可知，当秒脉冲或者广播时间包出现错误时，上述纠错策略使用惯性数据流替代判定错误的的数据，可以有效避免秒脉冲不正常翻转、秒脉冲丢失、广播时间包跳变、广播时间包丢失等错误，后文将通过试验验证。

3 数字锁相环设计

3.1 工作原理

本文设计了一种应用于低频输出信号（秒脉冲）和大倍频系数条件下的数字锁相环。FPGA 的工作频率为 100 MHz，通过调整分频系数得到百微秒脉

冲，百微秒脉冲输入给时钟输出模块输出精度为百微秒的本地时钟，同时百微秒脉冲经过 10000 倍的固定分频系数分频得到反馈秒脉冲，比较反馈秒脉冲与输入秒脉冲的相位关系精确调整百微秒脉冲的分频系数形成反馈控制。

如图 3 所示，数字锁相环主要由 5 部分组成，包括数字鉴相器(Digital Phase Detector, DPD)、放大器、数字环路滤波器(Digital Loop Filter, DLF)、数控振荡器(Number Controlled Oscillator, NCO)以及分频器。

采用具有双 D 触发器的鉴相器^[14]，与传统的 JK 触发型鉴相器以及 EXOR 型鉴相器相比，这种双 D 触发器鉴相器不要求输入信号有 50% 的占空比，且有更大的鉴相范围($\pm 2\pi$)。纠错处理后的秒脉冲作为数字锁相环的输入秒脉冲(Input Pulse Per Second, IPPS)，数字鉴相器比较输入秒脉冲和反馈秒脉冲(Feed Pulse Per Second, FPPS)的相位差，两个 D 触发器的输出分别为相位超前信号 V_{UP} 和相位滞后信号 V_{DOWN} 。根据 V_{UP} 和 V_{DOWN} 的高低电平及高电平宽度可以判断出输入秒脉冲和反馈秒脉冲的相位关系及相位差。

用数控振荡器输出的倍频信号对 V_{UP} 和 V_{DOWN} 进行调制，将调制的误差信号乘以放大倍数 K ，后文将讨论通过改变系数 K 调整环路性能。

数字环路滤波器采用具有比例积分结构的数字滤波器。每当相位差更新时，比例模块将相位差乘以比例系数得到比例模块控制参数 P ，积分模块将相位差乘以积分系数并进行累加得到积分控制参数 I ，将比例控制参数 P 和积分控制参数 I 求和并做限幅约束得到数控振荡器的控制参数 N 。

数控振荡器将工作于固定频率 f_{CLK} 的高频时钟 N 分频，得到同步倍频时钟。调整数控鉴相器的分频系数，就是调整数控鉴相器的输出频率。

同步倍频时钟经过固定倍数的 M 倍分频得到反

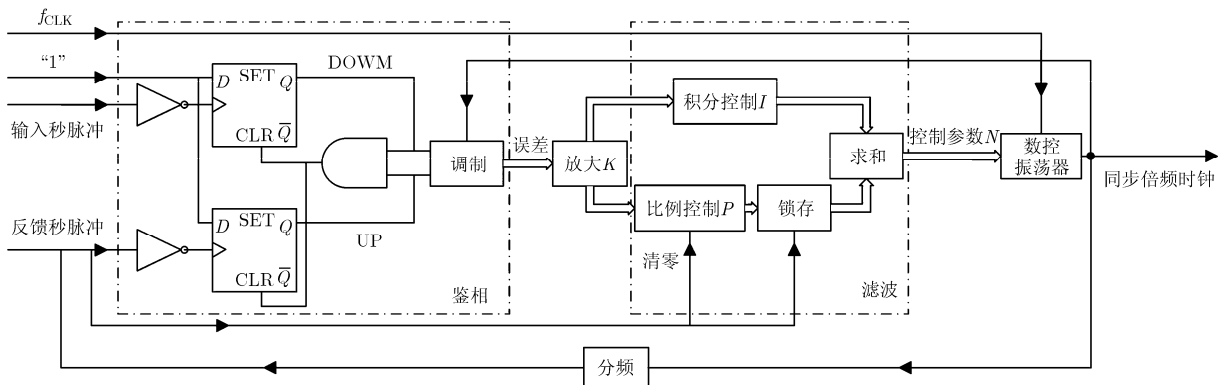


图 3 数字锁相环原理图

反馈秒脉冲, 将反馈秒脉冲与输入秒脉冲进行相位比较, 形成反馈控制。

3.2 数字锁相环的数学模型

由图 3 可建立数字锁相环的数学模型。令 $\theta_{\text{IPPS}}(s)$ 表示输入秒脉冲的相位, $\theta_{\text{NCO}}(s)$ 表示输出同步倍频信号的相位, $\theta_{\text{FPPS}}(s)$ 表示反馈秒脉冲的相位。 $H_{\text{DPD}}(s)$, $H_{\text{K}}(s)$, $H_{\text{DLF}}(s)$, $H_{\text{NCO}}(s)$, $H_{\text{M}}(s)$ 分别表示鉴相器, 放大器, 环路滤波器, 数控振荡器, 分频器的传递函数。

易知放大器和分频器的传递函数分别为

$$H_{\text{K}}(s) = K \quad (1)$$

$$H_{\text{M}}(s) = 1/M \quad (2)$$

输入秒脉冲的频率是 f_{IPPS} , 用频率为 f_{NCO} 的同步倍频信号对 V_{UP} 和 V_{DOWN} 调制, 根据数字鉴相器的逻辑, 鉴相器传递函数可以表示为

$$H_{\text{DPD}}(s) = -f_{\text{NCO}}/(2\pi f_{\text{IPPS}}) \quad (3)$$

由于 f_{NCO} 受环路控制不是定值, 所以 $H_{\text{DPD}}(s)$ 是时变的。

比例积分滤波器分为比例和积分两部分。忽略延时和限幅的影响, 比例控制参数 P 与每个被锁信号周期输出的相位差成正比, 而积分控制过程是以积分控制参数 I^{-1} 的比率对每个被锁信号周期输出的相位差进行累加, 所以环路滤波器传递函数为

$$H_{\text{DLF}}(s) = \frac{1}{P} + \frac{f_{\text{IPPS}}}{Is} \quad (4)$$

数控振荡器产生同步倍频信号的频率与数控振荡器的工作频率 f_{CLK} 的关系为

$$f_{\text{NCO}} = f_{\text{CLK}}/N \quad (5)$$

相位是频率的积分, 所以数控振荡器输出相位为

$$\theta_{\text{NCO}}(s) = 2\pi f_{\text{CLK}}/(Ns) \quad (6)$$

数控振荡器的输入 N 与输出 $\theta_{\text{NCO}}(s)$ 是反比例的非线性关系, 所以无法通过锁相环的传递函数来分析整体系统性能。

3.3 线性化数学模型

数字锁相环可以迅速检测并跟踪输入频率, 使得每个周期内输入秒脉冲和反馈秒脉冲频率近似相等, 因此可以通过建立小信号模型分析数字锁相环的性能。

输出同步倍频信号频率 f_{NCO} 相对稳定, 可以认为 $H_{\text{DPD}}(s)$ 在锁定状态下时不变。

数控鉴相器的传递函数等于输出相位 $\theta_{\text{NCO}}(s)$ 对输入控制参数 N 的偏导数, 即

$$H_{\text{NCO}}(s) = \frac{\partial \theta_{\text{NCO}}}{\partial N} = -\frac{2\pi f_{\text{CLK}}}{N^2 s} \quad (7)$$

锁定状态时

$$f_{\text{IPPS}} \approx f_{\text{FPPS}} = f_{\text{NCO}}/M \quad (8)$$

由式(1), 式(2), 式(3), 式(4), 式(7)和式(8)可得锁相环的闭环系统函数为

$$H_{\text{DPLL}}(s) = \frac{\frac{KM^2 f_{\text{IPPS}} f_{\text{NCO}}}{Pf_{\text{CLK}}} s + \frac{KM^2 f_{\text{IPPS}}^2 f_{\text{NCO}}}{If_{\text{CLK}}}}{s^2 + \frac{KM f_{\text{IPPS}} f_{\text{NCO}}}{Pf_{\text{CLK}}} s + \frac{KM f_{\text{IPPS}}^2 f_{\text{NCO}}}{If_{\text{CLK}}}} \quad (9)$$

由式(9)可知, 此系统的无阻尼振荡频率为

$$\omega_0 = f_{\text{IPPS}} \sqrt{KM f_{\text{NCO}}/(If_{\text{CLK}})} \quad (10)$$

阻尼系数为

$$\xi = \frac{1}{2P} \sqrt{IKM f_{\text{NCO}}/f_{\text{CLK}}} \quad (11)$$

该锁相环是典型的二阶二型系统, 极点位置决定了系统的响应特性。二阶系统的阻尼系数决定了系统的响应形式, 当阻尼系数确定时, 无阻尼振荡频率决定了系统达到稳定的速度^[16]。在输入输出频率和系统工作频率确定的条件下, 由式(10)和式(11)可知, 无阻尼振荡频率 ω_0 和阻尼系数 ξ 由放大器参数 K 和比例积分滤波器参数 P, I 唯一确定。通过调节放大器参数 K 、滤波器参数 P 和 I 即可调节系统的响应形式和响应时间。在实际应用中, 设置 $0 < \xi < 1$, 系统在虚轴左侧有两个一阶共轭复极点, 系统稳定, 时域表现出振荡衰减特性, 幅频响应在 ω_0 附近出现峰值, 改变参数 ω_0 本质上只改变其时域和频域响应在时间坐标和频率坐标的尺度。该锁相环的输入是一个稳定的时钟源(1 Hz), 所以不考虑交变的时钟源, 只通过一个阶跃响应考察其时间跟踪特性。调整系统参数可以获得不同的响应稳定时间, 当其他参数不变, K 增大时, ω_0 增大, 锁定时间减小; 反之, K 减小时, ω_0 减小, 锁定时间增加。

定性分析系统的动态性能可知, 系统未锁定时, 通过放大器和比例积分滤波器中具有快速变化能力的积分控制相配合, 即使反馈秒脉冲与输入秒脉冲频率误差较大, 也可以快速调整数控振荡器的控制参数 N , 从而使系统快速进入锁定状态。所以在宽频范围内锁定输入信号时, 也有快速响应的特性。

4 时钟输出电路

图 4 为时钟输出电路原理图, 时钟输出电路通过数字锁相环输出的同步倍频时钟驱动计数器产生 80 位的时间分辨率为百微秒的本地时钟, 由广播时间包对其初始化, 连接到 4 路独立带锁存器的并入串出移位寄存器。本地时钟源连接 4 台独立的相机, 当任意一台相机开始曝光时, 与相机对应的锁存器锁存当前时间信息并通过移位寄存器串行输出, 可分别记录每台相机的起始曝光时刻。

5 试验测试

选用 STM32F407 单片机模拟星上时钟源, 产

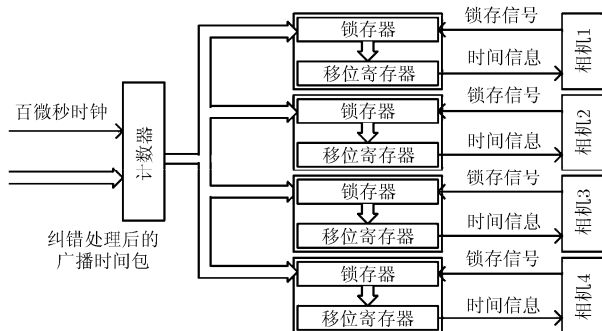


图 4 时钟输出模块原理图

生秒脉冲和广播时间包。广播时间包通过串行外设接口(Serial Peripheral Interface, SPI)串行输入给 FPGA。选用 Xilinx 公司生产的 SPARTAN 系列型号为 XC3S400 的 FPGA 搭建上述结构的本地时钟源, FPGA 的工作频率为 100 MHz。上位机控制单片机工作状态并接收输出时刻, 进行数据分析。图 5 为模拟时钟信号示意图, 其中秒脉冲频率为 1 Hz, 下降沿有效, 低电平宽度为 1 ms; 广播时间包为 64 位, 包括 32 位的周数和 32 位的周内秒。

上位机控制单片机输出错误秒脉冲, 如图 6 所示, 以输入秒脉冲滞后为例。当出现秒脉冲滞后的情况时, 输入秒脉冲无效, 纠错处理后的秒脉冲仍可以输出稳定的等间隔秒脉冲; 当连续接收到 5 个等间隔秒脉冲滞后, 输入秒脉冲有效, 纠错处理后的秒脉冲与输入秒脉冲同步。

图 7 所示为广播时间包纠错前后对比情况, 以

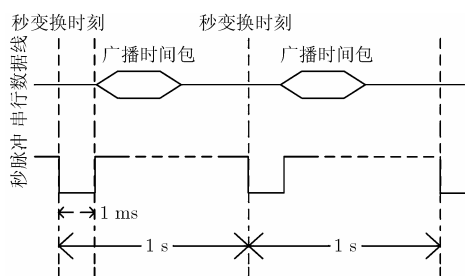


图 5 模拟时钟信号示意图

周数不变, 周内秒跳变为例。输入广播时间包在第 22 个和第 46 个周期发生跳变, 纠错处理后的广播时间包可以保持稳定的输出; 从第 52 个周期开始, 调整输入广播时间包的值, 在调整开始的 5 个周期内, 纠错处理后的广播时间包仍然可以使用惯性数据流稳定输出, 5 个周期后纠错处理后的广播时间包与输入广播时间包同步。

根据实际情况, 数字锁相环的参数 f_{IPPS} , f_{OUT} , f_{CLK} , M 分别为输入秒脉冲频率, 输出百微秒时钟频率, 100 MHz 晶振频率和分频系数, 所以有 $f_{\text{IPPS}}=1$ Hz, $f_{\text{NCO}}=10$ kHz, $f_{\text{CLK}}=100$ MHz, $M=10000$, 设定环路滤波器参数 $P=2$, $I=2$ 。在锁定状态下加入 -200 ms 的阶跃, 即输入脉冲周期为 800 ms, 调节参数 K 得到不同 K 值下的误差阶跃响应, 得到系统的动态性能。

由图 8, 图 9 可知, 当 $K=1/8$ 时, 系统经过 240 个秒脉冲周期建立稳定状态; 当 $K=1/4$ 时, 系统经过 105 个秒脉冲周期建立稳定状态; 当 $K=1/2$ 时, 系统经过 50 个秒脉冲周期建立稳定状态; 当 $K=1$ 时, 系统经过 18 个秒脉冲周期建立稳定状态; 稳定状态下每个秒脉冲周期有小于 100 μs 的误差。当 $K=2$ 时, 系统经过 5 个秒脉冲周期建立稳定状态, 稳定状态下每个秒脉冲周期有小于 200 μs 的误差。综合考虑, 选择参数 $K=1$ 具有较短的建立稳定状态时间和较小的误差。

进一步实验调整输入脉冲周期, 测得输入脉冲周期在 200 ms 到 5 s 的范围内系统可以达到锁定状态稳定输出, 更大的输入脉冲调整范围会导致失锁, 由此得到数字锁相环的鉴相范围为 [200 ms, 5 s]。

6 结束语

星载光谱仪本地时钟源根据不同星载设备需要, 可以以 IP 核(Intellectual Property core)形式嵌入到应用对象 FPGA 内部, 也可以以 ASIC (Application Specific Integrated Circuit)形式呈现, 并具有以下优良性能: (1)系统占用资源少, 结构简

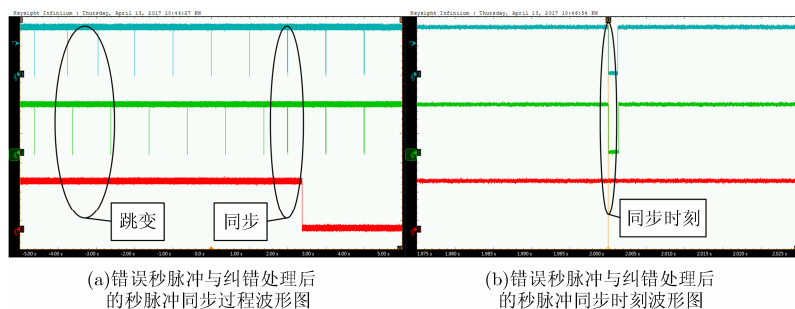


图 6 错误秒脉冲与纠错处理后的秒脉冲波形图

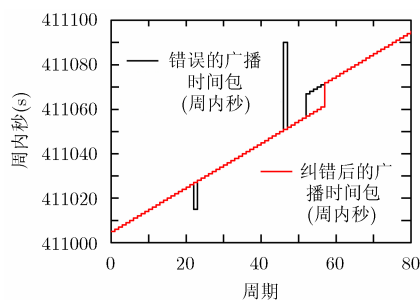
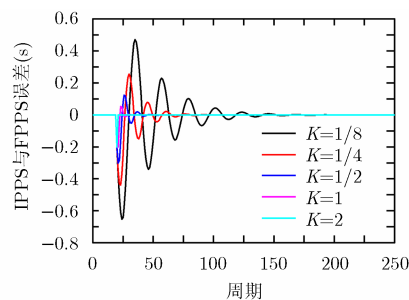
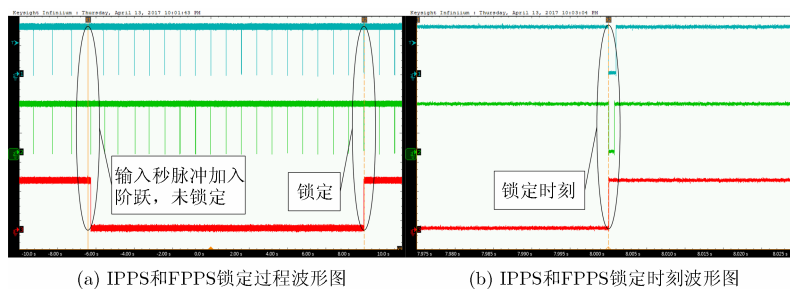


图 7 错误广播时间包和纠错处理后的广播时间包曲线图

图 8 不同 K 值下的误差阶跃响应图 9 当 $K=1$ 时 IPPS 和 FPPS 的波形

单明了, 参数可调, 易于实现和维护。(2)设计了纠错策略, 有效避免星上时钟源错误引起的系统不稳定。(3)时钟精度高, 稳定跟踪秒脉冲状态下, 每秒累积误差小于 $100 \mu\text{s}$, 可以满足工程上的需求。(4)捕获速度快, 当时钟源重启时, 系统可以在 5 个秒脉冲周期内进入锁定状态。(5)具有较大的鉴相范围, 输入脉冲周期在 $[200 \text{ ms}, 5 \text{ s}]$ 范围内可以锁定并跟踪。

本设计可广泛应用于成像, 定标等遥感设备, 具有广泛的应用前景。目前已经在机载成像光谱仪上使用。

参考文献

- [1] 王煜, 陆亦怀, 赵欣, 等. 星载差分吸收光谱仪 CCD 成像电路的设计及实施[J]. 激光与红外, 2015, 45(6): 663-668. doi: 10.3969/j.issn.1001-5078.2015.06.013
WANG Yu, LU Yihuai, ZHAO Xin, *et al.* Design and implementation of CCD imaging circuit for satellite-borne DOAS spectrometer[J]. *Laser & Infrared*, 2015, 45(6): 663-668. doi: 10.3969/j.issn.1001-5078.2015.06.013.
- [2] ESKELINEN P. Problems in estimating some timing uncertainties of commercial frequency and time standards[J]. *IEEE Transactions on Instrumentation and Measurement*, 1999, 48(1): 62-65. doi: 10.1109/19.755061.
- [3] 曾祥君, 尹项根, 林干, 等. 晶振信号同步 GPS 信号产生高精度时钟的方法及实现[J]. 电力系统自动化, 2003, 27(8): 49-53. ZENG Xiangjun, YIN Xianggen, LIN Gan, *et al.* Clock of high accuracy implemented by crystal oscillator in synchronism with GPS-CLOCK[J]. *Automation of Electric Power Systems*, 2003, 27(8): 49-53.
- [4] 李泽文, 舒磊, 邓丰, 等. 基于全数字锁相环的电力系统高精度同步时钟[J]. 电力自动化设备, 2015, 35(7): 32-36. doi: 10.16081/j.issn1006-6047.2015.07.006.
LI Zewen, SHU Lei, DENG Feng, *et al.* Wholly DPLL-based synchronous clock with high precision for electric power system[J]. *Electric Power Automation Equipment*, 2015, 35(7): 32-36. doi: 10.16081/j.issn1006-6047.2015.07.006.
- [5] 吕广强, 纪海平, 李嘉, 等. 一种基于双滑动平均滤波器的单相软件锁相环[J]. 电力系统自动化, 2015, 39(13): 151-157. doi: 10.7500/AEPS20140512011.
LÜ Guangqiang, JI Haiping, LI Jia, *et al.* A single-phase software phase-locked loop based on double moving average filter[J]. *Automation of Electric Power Systems*, 2015, 39(13): 151-157. doi: 10.7500/AEPS20140512011.
- [6] CHEN K, LIU S B, and AN Q. A high precision time-to-digital converter based on multi-phase clock implemented within field-programmable-gate-array[J]. *Nuclear Science and Techniques*, 2010, 21(4): 123-128. doi: 10.13538/j.1001-8042/nst.21.123-128.
- [7] NAOTO K, MASAHIRO S, TOHRU M, *et al.* Monitoring of interarea oscillation mode by synchronized phasor measurement[J]. *IEEE Transactions on Power Systems*, 2006, 21(1): 260-268. doi: 10.1109/TPWRS.2005.861960.
- [8] 陈鑫, 吴宁. 数字锁相环的最优化设计[J]. 南京航空航天大学学报, 2012, 44(1): 87-92. doi: 10.16356/j.1005-2615.2012.01.011.
CHEN Xin and WU Ning. Optimal design of digital phase-locked loop[J]. *Journal of Nanjing University of Aeronautics*

- and Astronautics*, 2012, 44(1): 87–92. doi: 10.16356/j.1005-2615.2012.01.011.
- [9] STASZEWSKI R B and BALSARA P T. Phase-domain all-digital phase-locked loop[J]. *IEEE Transactions on Circuits and Systems-II: Express Briefs*, 2005, 52(3): 159–163. doi: 10.1109/TCSII.2004.842067.
- [10] 刘亚静, 范瑜. 全数字硬件化锁相环参数分析与设计[J]. *电工技术学报*, 2015, 30(2), 172–179.
LIU Yajing and FAN Yu. Design and analysis of all-digital full-hardware phase-locked loop[J]. *Transactions of China Electrotechnical Society*, 2015, 30(2): 172–179.
- [11] 帅涛, 刘会杰, 梁旭文, 等. 一种大频偏和低信噪比条件下的全数字锁相环设计[J]. *电子与信息学报*, 2005, 27(8): 1208–1212.
SHUAI Tao, LIU Huijie, LIANG Xuwen, *et al.* The design of DPLL for low SNR signals with large frequency offset[J]. *Journal of Electronics & Information Technology*, 2005, 27(8): 1208–1212.
- [12] 彭咏龙, 朱劲波, 李亚斌. 基于 FPGA 实现的变 PI 参数全数字锁相环[J]. *电源技术*, 2016, 40(4): 906–909.
PENG Yonglong, ZHU Jinbo, and LI Yabin. Implementation of variable PI parameter control digital phase-locked loop based on FPGA[J]. *Chinese Journal of Power Sources*, 2016, 40(4): 906–909.
- [13] 肖帅, 孙建波, 耿华, 等. 基于 FPGA 实现的可变模全数字锁相环[J]. *电工技术学报*, 2012, 27(4): 153–158.
XIAO Shuai, SUN Jianbo, GENG Hua, *et al.* FPGA based ratio changeable all digital phase-locked-loop[J]. *Transactions of China Electrotechnical Society*, 2012, 27(4): 153–158.
- [14] 庞浩, 俎云霄, 王赞基. 一种新型的全数字锁相环[J]. *中国电机工程学报*, 2003, 23(2): 41–45. doi: 10.13334/j.0258-8013.pcsee.2003.02.008.
- PANG Hao, ZU Yunxiao, and WANG ZANJI. A new design of all digital phase-locked loop[J]. *Proceedings of The Chinese Society for Electrical Engineering*, 2003, 23(2): 41–45. doi: 10.13334/j.0258-8013.pcsee.2003.02.008.
- [15] 张志文, 曾志兵, 罗隆福, 等. 基于新型全数字锁相环的同步倍频技术[J]. *电力自动化设备*, 2010, 30(2): 123–126.
ZHANG Zhiwen, ZENG Zhibing, LUO Fulong, *et al.* Synchronous frequency multiplication technology based on total digital phase-locked loop[J]. *Electric Power Automation Equipment*, 2010, 30(2): 123–126.
- [16] 徐守时, 谭勇, 郭武. 信号与系统: 理论、方法和应用[M]. 第 2 版. 合肥: 中国科学技术大学出版社, 2010: 390–397.
XU Shoushi, TAN Yong, and GUO Wu. Signals and Systems: Theory, Methods and Applications[M]. 2nd ed. Hefei: University of Science and Technology of China Press, 2010: 390–397.
- 田禹泽: 男, 1989 年生, 博士生, 研究方向为星载设备时钟源设计.
- 王 煜: 男, 1970 年生, 研究员, 博士生导师, 研究方向为航空航天遥感设备研发.
- 代海山: 男, 1987 年生, 工程师, 研究方向为气象环境卫星载荷总体设计及数据应用.
- 方 华: 女, 1978 年生, 高级工程师, 研究方向为嵌入式软件.
- 刘文清: 男, 1954 年生, 中国工程院院士, 研究方向为超短脉冲激光器、激光遥感、激光散射成像、新型环境监测仪器、有害痕量气体光学与光谱学监测技术、环境监测仪器的研制与研究工作.