基于缩短极化码的 MLC NAND Flash 差错控制技术研究

郭 锐* 王美洁 王 杰 (杭州电子科技大学通信工程学院 杭州 310018)

摘 要:为了提高 MLC NAND Flash 的抗误码性能,该文提出一种基于优化缩短极化码的 MLC NAND Flash 差 错控制方法。优化缩短极化码通过优化删减图样得到,首先通过比特翻转重排序的方式得到基本删减图样,进而选 择具有更低信道容量的冻结比特组成优化删减图样,使得到的删减比特全为冻结比特,可以显著提高删减算法的纠 错性能。同时,根据 MLC 单元错误的不对称性,采用码率自适应的码字对 FLASH 中 MSB 和 LSB 进行不等错误 保护。仿真结果表明:当误帧率为10⁻³ 时,优化缩短极化码较相同码长的 LDPC 码和基本缩短极化码分别约有 3.72~5.89 dB 和 1.47~3.49 dB 增益;相比基于同一码率的优化缩短极化码方案,不等错误保护的差错控制方案获 得约 0.25 dB 增益。

关键词:极化码;多层单元; NAND Flash; 缩短码; 不等错误保护

中图分类号: TN911.22 文献标识码: A **DOI**: 10.11999/JEIT160864

文章编号: 1009-5896(2017)07-1658-08

Research on the MLC Nand Flash Error Control Technology Based on Polar Codes

GUO Rui WANG Meijie WANG Jie

(College of Communication Engineering, Hangzhou Dianzi University, Hangzhou 310018, China)

Abstract: In order to improve the BER performance of MLC NAND Flash, this paper presents a shortened polarization-based optimized codes for MLC NAND Flash. Optimized shortened codes are obtained by optimizing shortened pattern. Firstly, basic shortened pattern is obtained by bit reversal reordering, and then the freeze bits are selected with a lower channel capacity to constitute optimized shortened pattern, the resulting punctered bits are all frozen bits, this method can significantly improve the error correction performance. Meanwhile, according to the error asymmetry of MLC unit, unequal error protection is used for the LSB and MSB. Simulation results show that the performance of the optimized shortened codes is better than LDPC and basic shortened polar code about $3.72 \sim 5.89$ dB and $1.47 \sim 3.49$ dB gain at the frame error rate of 10^{-3} ; compared to the same rate based optimized shortened codes, the new ECC program obtains gain about 0.25 dB.

Key words: Polar code; Multi Level Cell (MLC); NAND Flash; Shortened codes; Unequal Error Protection (UEP)

1 引言

随着 NAND Flash 存储密度的增大,差错率也 增大,NAND Flash 对差错控制技术提出了更高的 要求,BCH 和 RS 码将无法满足 NAND Flash 对差 错控制技术的需求。为了提高 MLC NAND Flash 的可靠性,寻找具有更强纠错能力的编码方案成为 当务之急^[1-5]。极化码是编码理论上的重大突破, 可以实现任意离散无记忆信道的信道容量⁶⁶。因此将 极化码应用于 NAND Flash 中具有非常重要的研究 价值。但是极化码的编码方式决定了其不能直接适 用于任意页容量的 Flash,因为目前 Flash 的页容量 都不是 2 的幂次。为了使极化码适用于任意页容量 的 Flash,需要构建一种长度兼容的极化码编码方 案。

为了解决码长兼容、可变码率的极化码问题, 文献[7-9]中提出了缩短极化码,但他们在接收的码 字中引入了额外的错误,导致译码性能下降。本文 首先提出了一种优化缩短极化码的方法,由于缩短 码信息比特位置的选择影响码字的性能,优化缩短 码首先通过比特翻转重排序的方式得到基本删减图 样,较好地解决了信息比特位置对码字性能影响的

收稿日期: 2016-08-22; 改回日期: 2017-01-12; 网络出版: 2017-03-21 *通信作者: 郭锐 guorui@hdu.edu.cn

基金项目:浙江省自然科学基金(LY16F010013),浙江省重点科技 创新团队基金(2013TD03),国家自然科学基金(61401130)

Foundation Items: The Natural Science Foundation of Zhejiang Province (LY16F010013), The Key Science and Technology Innovation Team Foundation of Zhejiang Province (2013TD03), The National Natural Science Foundation of China (61401130)

问题。但是基本删减模式使得删减比特可能是具有 高容量的信息比特,因此本文进而选择具有更低容 量的冻结比特组成优化删减图样,使得到的删减比 特全为冻结比特,可以显著提高删减算法的纠错性 能。同时,由于 MLC 单元的错误具有不对称性, 本文采用码率自适应的码字对 MSB 和 LSB 进行不 等错误保护。最后根据 Flash 的存储结构,本文采 用两种缩短极化码方案的码字构造方法分别构造出 两种适用于 NAND Flash 的高码率极化码码字。应 用本文提出的两种方案的码字构造方法构造的缩短 码字可以获得较好的误码性能。

2 简介

2.1 MLC NAND Flash

MLC NAND Flash 芯片包含多个块,每个块包含多页,每页又包含多个存储单元。MLC NAND Flash 芯片内存由数据区和数据冗余区组成,其中数据区供用户使用,数据冗余区用来存储纠错码对应的校验信息、好坏块标记等信息。如果一块芯片总容量为(128G+9728M) Byte,这里 128 GByte 为数据区总容量,9728 MByte 为冗余区总容量。目前,市面上使用的 MLC NAND Flash 容量大小有很多种,页容量的数据区大小主要有 1k, 2k, 4k, 8k 和 16 kByte。

MLC 的每个存储单元可以存储 $n(n \ge 2)$ bit,存储密度越大对于读、写和擦除操作频繁的产品而言,出错的概率会越大,这对其差错控制技术提出了更高的要求,寻找最佳的信道编码方案成为当务之急。极化码是能够达到信道容量的一种编码方案,所以本文使用极化码作为 Flash 的差错控制方案。

Flash 的差错控制过程可以模拟成一个通信模型,如图 1 所示。数据的写入看作信源信息序列的输入过程,Flash 所受到的各种干扰模拟为传输信道的噪声,数据读出过程可以看作噪声信息序列的接收过程。数据在写入 Flash 时,通过 ECC 编码器进行编码,然后将编码后的码字写入 Flash 页^[10]。进行读操作时,ECC 译码器对码字进行检测和纠正错误,最终将译码后的数据读出。本文以 AWGN 信道模拟 Flash 的传输信道。

2.2 极化码

极化码编译码基本结构如图 2 所示。极化码通 过 Bhattacharyya 参数、密度进化或高斯近似等方 法从极化信道中选取 (N - K) 个容量最低的信道传 送冻结比特,K 个容量最高的信道传送自由比特, 从而构造出码率 R = K / N 的极化码码字。自由比特 为冻结比特在信息比特中的补集。在选取好自由比 特和冻结比特的位置后对输入码字进行极化码编 码,编码方法如式(1)所示:

$$\boldsymbol{\varepsilon}_1^N = \boldsymbol{u}_1^N \boldsymbol{G}_N \tag{1}$$

其中, G_N 为极化码的生成矩阵, $G_N = B_N F^{\otimes n}$, $B_N = R_N (I_2 \otimes B_{N/2})$, B_N 为比特翻转矩阵, R_N 为 奇偶重排矩阵。 $\overline{A} \triangleq \{b_1, b_2, \dots, b_{N-K}\} \subseteq \{1, 2, \dots, N\}$ 表 示冻结比特位置, $A \triangleq \{a_1, a_2, \dots, a_K\} \subseteq \{1, 2, \dots, N\}$ 表 示自由比特位置, 为 \overline{A} 的补集, $u_1^N = (u_A, u_{\overline{A}})$ 为编 码器的输入符号序列, $x_1^N \triangleq (x_1, x_2, \dots, x_N)$ 表示编码 后序列。 $y_1^N \triangleq (y_1, y_2, \dots, y_N)$ 为译码器接收码字, $\hat{x}_1^N \triangleq (\hat{x}_1, \hat{x}_2, \dots, \hat{x}_N)$ 为译码器估计码字。

3 缩短极化码

极化码有规则的编码结构,一个(N,K)极化码的码长N通常为 2 的幂次(即 $N = 2^n$, n为正整数)。但是 Flash 的数据区比特长度总为 2 的幂次, 在加上冗余区的比特后码字长度不满足 2 的幂次, 即目前 Flash 不同大小页容量都不是 2 的幂次,这 表明极化码不能直接适用于 Flash 的纠错编码。因此,为了使极化码应用于 NAND Flash 得到较好的 性能,必须设计一种长度兼容的极化码码字。这里 首先提出一种基本缩短极化码。

3.1 基本缩短极化码

当信息比特被删减,极化码译码性能变差。假 设每个极化信道的错误概率为 $Pe(u_i)$ 。通过穷举搜 索得到所有可能的删减图样,其中满足式(2)的为最 佳删减图样。如果有 K'个删减比特,则需要计算 $C_N^{K'} = N!/(K'!(N - K')!)$ 个删减图样的错误概率。 当极化码码长和删减比特数很大时,得到最佳删减 图样是很困难的。本文采用下文方法构造基本删减 图样。



图 1 Flash 的 ECC 纠错模型



图 2 极化码编译码基本结构

$$\operatorname{Pe}_{\min} = \min\left\{\sum_{i \in \boldsymbol{A}} \operatorname{Pe}(u_i)\right\}$$
(2)

首先定义一个长度为*N*的序列 $p_1^N = (p_1, p_2, ..., p_N), p_i \in \{0,1\}, i = 1, 2, ..., N$,用以指示删除比特的位置。其中,若 $p_i = 0$ 则表示第i个编码比特要被删掉,这里序列 p_1^N 称为"删减图样"。同样,在 *K*'个删减比特中,有*K*''个自由比特和(*K*' – *K*'')个 冻结比特,其中*K*'' = |{*i* | *i* ∈ *A*, $p_i = 0$ }]。

(N, K - K'', K')基本缩短极化码由一个(N, K)极化码,删减K'个比特得到。其中删减图样 p_1^N 可以按照下述方法求得:

(1)初始化一个长度为*N*的*q*^{*N*}序列,将前*K*'个 元素设为0,后(*N* – *K*')个元素设为1。

(2)对上面得到的 q_1^N 中各元素进行比特翻转重 排序操作,就可得到删减图样 p_1^N ,这相当于用 q_1^N 乘 以比特翻转矩阵 B_N (即 $p_1^N = q_1^N B_N$)。其中比特翻 转矩阵 B_N 与极化码编码式(1)中的 B_N 矩阵相同。

对于图 2 所示基本结构对应的 SC 译码器, L(·) 表示对数似然比,有L(u_2) = L(y_1) + L(y_2)和L(u_1) = $2 \tanh^{-1} \left(\tanh \frac{\mathbf{L}(y_1)}{2} \tanh \frac{\mathbf{L}(y_2)}{2} \right)$ 。如果 y_1 或者 y_2 被删 减,可以得到 $L(u_1) = 0$ 且 $L(u_2) = L(y_2)$ (或者 $L(u_2)$) $= L(y_1)$)。如果 y_1 和 y_2 都被删减,则 $L(u_1) = L(u_2)$ = 0。当对数似然比(LLRs)在基本结构上从右向左 传递时,输入端和输出端的0值数量正好相同。通 过简单的归纳可以得到,对于有K'个删减比特的任 意删减图样,将有 K'个极化信道对应的 LLRs 值为 0,即对应信道容量为 0。因此对每个基本结构, 当 $L(u_1) = 0$, $L(u_2) \neq 0$ 时 , 令 $L(y_1) = 0$, 且 当 $L(u_1) = L(u_2) = 0$ 时令 $L(y_1) = L(y_2) = 0$ 即可得到删 减图样。但是当 $L(u_2) = 0$ 时, $L(u_1) \neq 0$ 的情况是不 可能发生的。通过归纳证明本文提出的基本删减图 样是一种删减图样。基本删减模式对 $N = 2^2$ 成立, 假设同样对 $N = 2^{n-1}$ 成立,对于 $N = 2^n$,根据文献 [9]中信道退化的原理得知,对任意 $i \in \{1, 2, \dots, N/2\}$, 如果令 $L(u_{i+N/2}) = 0$,则 $L(u_i)$ 也为 0。即对于 $u_1^{N/2}$ 和 $u_{N/2+1}^{N}$ 比特删减位置是完全相同的。但是当 $L(u_{i+N/2}) = 0$ 时, $L(u_i) \neq 0$ 的情况是不可能发生的。 因此本文介绍的基本缩短方案符合删减图样的要 求。

最小汉明距离越大,码字检纠错性能越好。因此可以通过最小汉明距离 d_{\min} 优化缩短码性能。极化码的生成矩阵 $G_N(A)$ 通过选择 G_N 中 { $i \in A$ }的行得到。缩短码的生成矩阵 $G_N(A,p)$ 可以通过删除对应矢量p的列来得到。最小汉明距离不大于生成矩阵的最小行重,即 $d_{\min} \leq w_{\min}(G_N(A,p))^{[11]}$ 。极化码最小行重 $w_{\min}(G_N(A))$ 等于 $\min_{i \in A} 2^{t(i-1)}$,t(i-1)代表整数(i-1)的二进制转换中1的个数。由于最小行重分析简单,下面用最小行重估计缩短码的性能。

令 δ_i 代表随机 删减后传输的比特。因此 $w_{\min}(G_N(A, p))$ 的平均最小重量为

$$E\left(\sum_{i=1}^{M} \delta_{i}\right) = E\left[w_{\min}(\boldsymbol{G}_{N}(\boldsymbol{A}, \boldsymbol{p}))\right] = M \frac{w_{\min}(\boldsymbol{G}_{N}(\boldsymbol{A}))}{N}$$
$$\cdot \frac{M}{N} = \left(\frac{M}{N}\right) w_{\min}(\boldsymbol{G}_{N}(\boldsymbol{A})) \tag{3}$$

对于基本缩短码,最多 $T = \left| \frac{w_{\min}(\boldsymbol{G}_N(\boldsymbol{A}))}{V} \right|$ 比特

从最小重行中被删减,其中*V* = *N*/*K*[']表示删减速率, 户为向上取整。因此

$$\begin{split} w_{\min}(\boldsymbol{G}_{N}(\boldsymbol{A},\boldsymbol{p})) &\geq w_{\min}(\boldsymbol{G}_{N}(\boldsymbol{A})) - T \\ &\geq w_{\min}(\boldsymbol{G}_{N}(\boldsymbol{A})) \frac{V-1}{V} - 1 \\ &\geq (M/N) w_{\min}(\boldsymbol{G}_{N}(\boldsymbol{A})) - 1 \end{split}$$
(4)

比较式(3),式(4)可以看出优化删减的最小行重 大于随机删减方案的平均最小行重。虽然可能有更 好的删减方案,但当极化码码长和删减比特很大时, 基本缩短码方案是较好的候选方法。

3.2 优化缩短极化码

基本缩短极化码选取凿孔图样的方式具有高于 随机删减图样的最小汉明距离,且删减图样的构造 方式唯一,是一种较好的折中方案。但是基本缩短 码删减比特位置的选取方式会导致很多容量较高的 信息比特被删减,极大地影响缩短码的误码性能。 因此,本文在基本缩短码删减图样的基础上提出一 种优化删减方案,在基本缩短方案的删减图样基础 上选择具有更低容量的冻结比特作为删减比特,即 所有凿孔比特都是冻结比特,可以显著提高删减算 法的误码性能。

基本缩短码删减图样的删减位置为 $(u_i, u_{i+N/2})$ 模式。根据极化码当前信息比特选取方式,如高斯近似等, $u_{i+N/2}$ 比特极有可能是具有高容量的自由比特。因此假设删减的比特数为K',则要选择K'个 $(u_i, u_{i+N/2})$ 删减位置,即从2K'删减位置中找到使误码率最低的凿孔图样。为了进一步降低删减图样的误码率,本文提出的优化删减图样构造方式如下所示,其中,**F**表示冻结比特序列,按冻结比特对应

信道容量升序排列。 $M_{K'}$ 为删减比特序列,优化删 减图样为 $p_1^N = \{p_i = 0, i \in M_{K'}\}$ 。

(1)进行比特翻转重排序操作得到基本删减比 特序列 M,序列长度为|M| = 2K';

(2) 当 2*K*′ ≤ *N* − *K* 时, 令 *M*_{*K*′′′} = {*M*(*j*), *M*(*j*) ∈ *M*(*i*) ∩ *F*_{2*K*′}, *j* ∈ *i*, *i* = 1,2,...,2*K*′}, *M*_{*K*′′′} 为 *M* 的子 序列。 *M*_{*K*′} = {*M*_{*K*′′}(*i*), *i* = 1,2,...,*K*′}, 即优化删减 比特序列 *M*_{*K*′} 选取基本删减比特中使删减模式误码 率最低的 *K*′ 个比特,其中 |*F*_{2*K*′}| = 2*K*′;

(3) 当 2*K*' > *N* - *K* 时, 令 $M_{K'''} = \{M(j), M(j) \in M(i) \cap F_{N-K}, j \in i, i = 1, 2, \dots, 2K'\}$, 优化删减比特 序列 $M_{K'}$ 由 $M_{K'''}$ 序列的前 *K*' 个比特组成, 其中 $|F_{N-K}| = N - K$ 。

优化删减图样具有唯一的构造方式,具有高于 随机删减图样的最小汉明距离,且删减比特全部为 冻结比特,具有较好的误码性能。

缩短极化码编码和译码过程如图 3 所示,算法 总结如下:

编码:

(1) 对于 删减图样中 删减位置的比特,令 u_i = 0。对于K个自由比特位置,存储信息比特补充 u_A。对(N – K – K')个冻结比特位置,令u_i存储 冻结比特(一般为 0),得到 u_Ā。这样可以得到编码 器输入码字序列 u^N。

(2)对输入码字进行编码 $x_1^N = u_1^N G_N$,在编码后 移除 K' 个预先决定的比特(删减比特),传送缩短的 码字 { $x_i | i = \{1, 2, \dots, N\}, p_i \neq 0$ } 至信道中。

译码:

(1) 接收到 缩短码字 $\{y_i | i=\{1,2,\dots,N\}, p_i \neq 0\}$ 后,在码字 $\{y_i | i=\{1,2,\dots,N\}, p_i = 0\}$ 位置处插入 *K'*个 0 比特,得到待译码码字。

(2)用极化码译码器译码。译码器处理插入的比 特等同于它们经过了一组容量为0的信道。

3.3 码字构造

本文以 Micron 公司的 MT29F128G08CBCAB 芯片为例,其芯片总容量为(128G+9728M) bit,每 片分为 2048 块,每块分为 512 页,每页包含 16kByte 数据区容量和 1216 Byte 冗余大小。若直接采用页 容量(16k+1216) Byte 作为码长,则编译码所需的存 储容量过大,因此这里将(16k+1216) Byte 拆分成 段,分别对拆分后的每段进行编码,然后一起写进 页内。下面以每页分为 1024 段为例介绍两种码字构 造方式,每段将分配到 128 bit 的数据区和 8 bit 的 冗余区,因此每段需要构造(136,128)极化码码字。

基本缩短极化码由删减图样 p_1^N 确定 K' 个删减 比特的位置。因此要得到(136,128)码字,基本缩短 极化码(256,K - K'',120)需要由删减图样来确定K''个信息比特的位置和长度。本文通过计算来确定原 始极化码(256,K)的自由比特的长度K、删减掉的 K'' 个自由比特和K'个删减比特的位置,经过计算 得到基本缩短极化码参数为(256, 230-102,120)。

为了得到所需的(136,128)码字,优化缩短极化码(256,*K*,120)需要由删减图样来确定*K*'个删减比特的位置。本文通过计算来确定缩短码*K*'个删减比特的位置。表1为MLC NAND Flash的3种拆分方案。

3.4 多码率编码

在 MLC NAND Flash 中,每个单元存储两个 比特,有4种状态。两个比特中的左侧比特被称为 最高有效比特(MSB),右侧比特称为最低有效比特 (LSB)。单元比特值的映射如图4所示。在MLC NAND Flash 中,每个单元内的两个比特没有被映 射到相同的页中。MSB 的集合组成的页称为 MSB 页,LSB 的集合组成的页称为 LSB 页,即 MSB 页 和 LSB 页共享同一组单元,但 MSB 页和 LSB 页的 读写操作独立进行,且各页的错误被独立地纠正^[12]。



图 3 缩短极化码编译码过程

表 1 页容量为(16k+1216) Byte 的 MLC NAND Flash 的 3 种拆分方案

拆分方案	每页所分段数(段)	每段容量(bit)	基本缩短码构造码字	优化缩短码构造码字	构造所得码字	码率(%)
方案1	1024	128 + 8	(256, 230 - 102, 120)	(256, 128, 120)	(136, 128)	94.12
方案 2	512	256 + 16	(512, 460 - 204, 240)	(512, 256, 240)	(272, 256)	94.12
方案3	256	512 + 38	(1024, 930 - 418, 474)	(1024, 512, 474)	(550, 512)	93.09

 $\mathbf{5}$ 6 7



图 4 MLC 每个单元 2 bit 4 种状态

通过对 MLC 芯片的一个块重复读写擦除等操 作(P/E),其中,P/E 周期指将编译码程序写进 Flash 中进行读写操作的一个周期。发现闪存单元的 错误具有不对称性,闪存单元中的 LSB 页具有比 MSB页更高的误码率,如图5所示。因此新的ECC 方案提出对 LSB 和 MSB 页分别用不同纠错性能的 极化码进行读写操作。

极化码冗余越大,误码率越低,纠错性能越好。 因此提出对 LSB 和 MSB 页分别用不同码率的极化 码进行读写。但是 MLC 要求很高的存储密度,所 以应用于 LSB 页的缩短码的码率不能很低。因此基 于本文提出的优化缩短极化码,本文分别选择应用 于 LSB 页和 MSB 页的纠错码如表 2 所示。表 2 所 示 ECC 方案对应表 1 中所示的方案 1。

在确定好要构造的缩短极化码的各参数后,用 第2节中介绍的缩短极化码的编码方案分别在MLC NAND Flash 存储单元的 MSB 和 LSB 上进行编码。

				目を少し
页	段容量(bit)	码字	码率(%)	码 1
LSB	128+8	$(256,\!120,\!120)$	88.24	优化
MSB	128 + 8	(256, 128, 120)	94.12	
10 ⁻¹ 10 ⁻² 10 ⁻³ 第 10 ⁻⁴ 10 ⁻⁵ 10 ⁻⁶ 10 ⁻⁷ 0	2000 4000 600 P/E周期 → LP,1-0 - → LP,0-1 - 图 5 MLC 误响	00 8000 10000 → UP,1-0 → UP,0-1 抗率曲线	10 ⁰ 10 ⁻¹ 10 ⁻² 10 ⁻³ 10 ⁻⁴ 10 ⁻⁵ 2 3 ・ 基本約 医 6 (15)	4 5 6 <i>E_b/N₀</i> (dB) 宿短极化码 → 宿短极化码 →

表 2 新的 ECC 方案

编码后将所有段的信息比特一起写入 MLC NAND Flash 的页中。在 Flash 读数据时,分别对之前每段 的数据进行译码操作。这个过程就是 MLC NAND Flash 对数据信息的读、写操作。

4 仿真结果

LDPC 码具有临近香农容限的优良特性,是 MLC NAND Flash 存储纠错中不可或缺的关键技 术^[13]。因此本文用 LDPC 与提出的缩短极化码针对 误码性能进行比较。本文对第2节中构造的基本缩 短极化码, 文献[7]中所示缩短码和优化缩短码分别 $\Re \Pi g(D) = D^{24} + D^{23} + D^6 + D^5 + D + 1$ in CRC fri 助校验和列表连续删除(Successive Cancellation List, SCL) 译码方案和连续删除 (Successive Cancellation, SC)译码方案;本文采用随机构造的 不规则 LDPC 码,其中短四环已消除,其具体构造 方法参考文献[14], 码字与表 1 中构造所得码字相 同,译码方案则采用置信传播(Belief Propagation, BP)译码,且这3种方案都采用 BPSK 调制,传输 信道为 AWGN 信道。由于在 Flash 等多数数字通信 应用中,译码比特序列无论包含多少错误比特,均 需要对该块进行重传或者丢弃。因此,相比误码率 性能,误帧率性能对实际系统更有意义[15],本文将 分析误帧率性能。图 6~图 8 分别给出了基本缩短极 化码、本文的优化缩短极化码、LDPC码和文献[7]4 种方案的误帧率比较,图 9~图 11 分别给出了基本 缩短极化码、本文的优化缩短极化码和 LDPC 码 3 种方案的误码率比较。

图 6~图 8 仿真曲线显示,本文的优化缩短极化 码的误帧性能明显优于基本缩短极化码、LDPC 码 和文献[7]中的缩短码;基本缩短极化码方案误帧性 能优于 LDPC 码和文献[7]中的缩短码。表 3 给出了 码 1,码 2 和码 3 在误帧率为 10⁻³ 时,本文提出的 优化缩短极化码相比 LDPC 码、基本缩短极化码和 文献[7]中的缩短码获得的增益统计。由表 3





表3 误帧率为10-3 时4种算法获得的增益统计对比

	码 1(136, 128)			码 2(272, 256)			码 3(550, 512)					
	$E_b / N_0 \; (\mathrm{dB})$:	增益(dB))	$E_b / N_0 (\mathrm{dB})$	坩	曾益(dB)		$E_{b}/N_{0}~(\mathrm{dB})$		增益(dE	8)
LDPC	7.95	0.35	-	-	8.48	-	-	-	9.00	-	-	-
文献[7]缩短码	8.30	-	-	-	7.90	0.58	-	-	7.70	1.30	-	-
基本缩短码	5.70	2.60	2.25	-	6.30	2.18	1.60	-	6.60	2.40	1.10	-
优化缩短码	4.23	4.07	3.72	1.47	3.63	4.85	4.27	2.67	3.11	5.89	4.59	3.49

可知,对于码 1:误帧率为10⁻³时,相比文献[7]中的缩短码,LDPC 码、基本缩短极化码和优化缩短极化码分别获得约 0.35 dB, 2.60 dB 和 4.07 dB 增益;对于码 2:误帧率为10⁻³时,相比LDPC 码,文献[7]中的缩短码、基本缩短极化码和优化缩短极化码可分别获得约 0.58 dB, 2.18 dB 和 4.85 dB 增益;对于码 3:误符号率为10⁻³时,相比LDPC 码,文献[7]中的缩短码、基本缩短极化码和优化缩短极化码分别获得约 1.30 dB, 2.40 dB 和 5.89 dB 增益。因此优化缩短码方案优于基本缩短极化码,LDPC 码方案和文献[7]中的缩短码。由表 3 可知,在优化缩短极化码编码方案情况下,误符号率为10⁻³时,相比码 1 和码 2,码 3 可分别获得约 1.12 dB 和 0.60 dB 增益,因此这 3 种码字中,应用优化缩短极化码编码方案的码 3 的性能最好。

第7期

图 9~图 11 仿真曲线显示, 缩短极化码方案在 信噪比到达一定值时,误码性能优于 LDPC 码。表

3.9

优化缩短码

2.0

1.3

4 给出了码 1,码 2 和码 3 在误码率为10⁻³时,本文 提出的优化缩短极化码相比 LDPC 码和基本缩短极 化码获得的增益统计。由表 4 可知,对于码 1:误 码率为10⁻³时,相比 LDPC 码,基本缩短极化码和 优化缩短极化码分别获得约 0.70 dB 和 2.00 dB 增 益;对于码 2:误码率为10⁻³时,相比 LDPC 码, 基本缩短极化码和优化缩短极化码可分别获得约 0.9 dB 和 4.00 dB 增益;对于码 3:误码率为10⁻³时, 相比 LDPC 码,基本缩短极化码和优化缩短极化码 分别获得约 1.1 dB 和 3.7 dB 增益。因此优化缩短 码方案优于基本缩短极化码和 LDPC 码方案。

本文对码 1 对应的方案 1 采用新的 ECC 方案, 误帧率仿真曲线如图 12 所示,新的 ECC 方案误帧 性能明显优于方案 1。误帧率为10⁻³时,相比优化 缩短极化码,新的 ECC 方案获得约 0.25 dB 增益。

本文采用的 3 种译码方式的译码复杂度分别 为,SC 译码为 $O(N \lg N)$,BP 译码为 $O(N \lg N)$,

2.9

3.7

2.6

	码 1(136, 128)			码 2(272, 256)			码 3(550, 512)		
	$E_b / N_0 (\mathrm{dB})$	V ₀ (dB) 增益(dB)		$E_b / N_0 (\mathrm{dB})$	增益(dB)		$E_b / N_0 (\mathrm{dB})$	增益(dB)	
LDPC	5.9	_	-	6.2	-	-	6.6	-	_
基本缩短码	5.2	0.7	_	5.3	0.9	-	5.5	1.1	-

表 4 误帧率为 10⁻³ 时 3 种算法获得的增益统计对比

3.2

4.0

2.1



SCL 译码复杂度为 O(LN lg N),其中 L 表示搜索宽度,本文中 L 为 32。本文中优化缩短码译码方法采用 SC 译码,而基本缩短码采用译码复杂度远高于 SC 译码的 SCL 译码方案。缩短极化码虽然删减了 一部分比特,但其仍然是极化码,因此缩短码在 SCL 译码下的误码性能远远优于 SC 译码。同时,仿真表明,优化缩短码采用更低译码复杂度的 SC 译码 就可以获得优于基本缩短码的纠错性能。

5 结论

极化码的标准码长决定其不能直接适用于任意 页容量的 NAND Flash,因此,需要设计一种长度 兼容的极化码编码方案。本文首先提出了一种基于 缩短极化码的差错控制方法,然后,优化缩短极化 码通过优化删减图样得到,该方法首先通过比特翻 转重排序的方式得到基本删减图样,进而选择具有 更低信道容量的冻结比特组成优化删减图样,使得 到的删减比特全为冻结比特,可以显著提高删减算 法的纠错性能。同时,根据 MLC 单元错误的不对 称性,本文采用码率自适应的码字对 MSB 和 LSB 进行不等错误保护。仿真结果表明:相比 LDPC 码 和基本缩短极化码,优化删减缩短极化码可获得约 3.72~5.89 dB 和 1.47~3.49 dB 的信噪比增益;相 比基于 NAND Flash 的优化缩短码方案,新的 ECC 方案获得约 0.25 dB 增益。

参考文献

- ASLAM C A, GUAN Y L, and CAI K. Dynamic write-level and read-level signal design for MLC NAND flash memory[C].
 2014 9th International Symposium on Communication Systems, Networks & Digital Signal Processing (CSNDSP), Manchester, 2014: 336–341. doi: 10.1109/CSNDSP.2014.
 6923850.
- [2] SUN H, ZHAO W, LU M, et al. Exploiting intracell bit-error characteristics to improve min-sum LDPC decoding for MLC



图 12 表 2 所示新方案与对应 NAND Flash 方案误帧性能比较

NAND flash-based storage in mobile device[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2016, 24(8): 2654–2664. doi: 10.1109/TVLSI.2016.2535224.

- [3] ASLAM C A, YONG L G, and CAI K. Optimal read and write signal design for multi-level-cell NAND flash memory[J]. *IEEE Transactions on Communications*, 2016, 64(4): 1613–1623. doi: 10.1109/TCOMM.2016.2533498.
- HO Kinchu, CHEN Chihlung, and CHANG Hsiechia. A 520k (18900, 17010) array dispersion LDPC decoder architectures for NAND flash memory[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2016, 24(4): 1293–1304. doi: 10.1109/TVLSI.2015.2464092.
- [5] KIM Daesung and HA Jeongseok. Serial quasi-primitive BC-BCH codes for NAND flash memories[C]. 2016 IEEE International Conference on Communications (ICC), Beijing, 2016: 1–6. doi: 10.1109/ICC.2016.7510725.
- [6] ARIKAN E. Channel polarization: A method for constructing capacity-achieving codes for symmetric binaryinput memory less channels[J]. *IEEE Transactions on Information Theory*, 2009, 55(7): 3051–3073. doi: 10.1109/ TIT.2009. 2021379.
- [7] ESLAMI A and PISHRO N. A practical approach to polar codes[C]. 2011 IEEE International Symposium on Information Theory Proceedings (ISIT), St. Petersburg, 2011: 16–20. doi: 10.1109/ISIT.2011.6033837.
- [8] SHIN D M, LIM S C, and YANG K. Design of lengthcompatible polar codes based on the reduction of polarizing matrices[J]. *IEEE Transactions on Communications*, 2013, 61(7): 2593–2599. doi: 10.1109/TCOMM.2013.052013. 120543.
- [9] LI Y, ALHUSSIEN H, HARATSCH E F, et al. A study of polar codes for MLC NAND flash memories[C]. 2015 International Conference on Computing, Networking and Communications (ICNC), Garden Grove, CA, 2015: 608–612. doi: 10.1109/ICCNC.2015.7069414.
- [10] LIU Y, LIU Huaida, JIN Pingui, et al. An adaptive ECC

scheme for dynamic protection of NAND flash memories[C]. 2015 IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP), South Brisbane, QLD, 2015: 1052–1055. doi: 10.1109/ICASSP.2015.7178130.

- [11] NIU K, CHEN K, and LIN J R. Beyond turbo codes: Ratecompatible punctured polar codes[C]. 2013 IEEE International Conference on Communications (ICC), Budapest, 2013: 3423–3427. doi: 10.1109/ICC.2013.6655078.
- [12] TARANALLI V, UCHIKAWA H, and SIEGEL P H. Channel models for multi-level cell flash memories based on empirical error analysis[J]. *IEEE Transactions on Communications*, 2016, 64(8): 3169–3181. doi: 10.1109/TCOMM.2016.2584602.
- [13] LIU Yumin, LIU Huaiting, CHEN Minghan, et al. Bytereconfigurable LDPC codec design with application to highperformance ECC of NAND flash memory systems[J]. IEEE

Transactions on Circuits and Systems I: Regular Papers, 2015, 62(7): 1794–1804. doi: 10.1109/TCSI.2015.2423798.

- [14] MACKAY J C. Good error-correcting codes based on very sparse matrices[J]. *IEEE Transactions on Information Theory*, 1999, 45(2): 399–431. doi: 10.1109/18.748992.
- TAI I and VARDY A. How to construct polar codes[J]. IEEE Transactions on Information Theory, 2013, 59(10): 6562-6582. doi: 10.1109/TIT.2013.2272694.
- 郭 锐: 男,1980年生,博士,副教授,研究方向为无线通信、信道编码.
- 王美洁: 女,1991年生,硕士生,研究方向为无线通信、信道编 码.
- 王杰: 男,1993年生,硕士生,研究方向为无线通信、信道编码.