高效低功耗低并行度 LDPC 编码方法

燕 威* 薛长斌

(中国科学院国家空间科学中心 北京 100190) (中国科学院复杂航天系统综合电子与信息技术重点实验室 北京 100190)

摘 要: 低密度奇偶校验码(LDPC)是最接近香农极限的纠错码之一,具有优良的性能且被国际通信标准组织广泛 采纳为信道编码。CCSDS 推荐使用 LDPC 码作为近地空间和深空探测的信道编码方案。该文提出高效,低功耗, 低并行度的 LDPC 编码方法。该方法通过采用插 "0"和改变循环矩阵的结构实现了对 CCSDS 标准中推荐的校验 矩阵子矩阵大小为奇数的 LDPC 码的低并行度编码。通过分析编码过程,提出了只对输入信息中的"1"有效信息 位进行编码的方案,减少了编码中移位寄存器的移位次数,大幅度地降低了编码器功耗。文中采用 FPGA 实现了 (8176,7154)78LDPC 码的编码器,结果显示在硬件开销略有增加的情况下,编码功耗大幅度下降,编码速率接近 低并行度编码方案。

 关键词:差错控制编码:低并行度;低功耗;QC-LDPC;VLSI设计

 中图分类号:TN911.22
 文献标识码:A
 文章编号:1009-5896(2016)09-2268-06

 DOI: 10.11999/JEIT151362

An Efficient LDPC Encoder Scheme with Low-power Low-parallel

YAN Wei XUE Changbin

(National Space Science Center, Chinese Academy of Sciences, Beijing 100190, China) (Key Laboratory of Integrated Avionics and Information Technology for Complex Aerospace Systems, Chinese Academy of Sciences, Beijing 100190, China)

Abstract: Low-density parity-check code is the one of error-correction codes most approaching Shannon limit, which is adopted as a standard for channel coding by many international communication standard organizations. CCSDS recommends LDPC as channel coding scheme in near earth space and deep space communication. An efficient LDPC coding scheme with low power and low parallel is presented in this paper. By filling "0" and changing the cyclic-matrix structure, the proposed scheme implements a low parallel coding for the LDPC, which is recommended by CCSDS, and of which the size of submatrix of check matrices is odd. By analyzing the coding process, the valid bit "1" among input information bits is coded only, and it decreases obviously the code power. The encoder architecture for 7/8 LDPC is implemented in FPGA. The result shows that encoder achieves a high encoding speed approaching low parallel encoder scheme and a much lower encoding power while increases few hardware overhead.

Key words: Error-correction codes; Low parallel; Low power; QC-LDPC; VLSI design

1 引言

1962年, MIT 的 GALLAGER 首次提出了低 密度奇偶校验码^[1](LDPC 码), 但是受限于编译码算 法 的 复 杂 性 和 当 时 的 集 成 电 路 制 造 水 平, GALLAGER 博士的发现没有引起人们的重视。直 到 1993年, 法国学者 BERROU 等人^[2]提出了具有 接近 Shannon 极限的 Turbo 码之后。剑桥大学的 MACKAY 等人^[3]重新对 GALLAGER 提出 的

LDPC 码进行了深入的研究,并提出了采用了 BP 算法进行译码的方案。2001 年,MIT 的 CHUNG 等人⁴⁴提出了一类 LDPC 码性能距离 Shannon 极限 仅仅只有 0.0045 dB,引起了编码领域学者的极大研 究热情。

目前,LDPC 的编解码已进入应用研究阶段^[5-7]。国际空间科学咨询委员会(CCSDS)采纳 LDPC 码为近地空间和深空探测的信道编码标 准^[8,9]并给出了 LDPC 码在遥控链路中的研究报 告^[10,11]。标准^[8,9]中推荐7/8 码率(8176,7154) LDPC 码作为近地空间信道编码方案。这种 LDPC 码生成

收稿日期: 2015-12-03; 改回日期: 2016-05-10; 网络出版: 2016-07-04 *通信作者: 燕威 yanwei_nssc@163.com

矩阵具有准循环的特点,可以方便地使用循环移位 寄存器来实现编码^[5,12]。但是这种 LDPC 码的生成 矩阵校验位子矩阵为511×511大小,如果要进行并 行编码提高编码效率,则只能按子矩阵并行编码, 需要缓存前级的输入数据。对于宇航系统中的应用 非常不便,文献[13]中提出了一种 7/8 码率(8176, 7154)LDPC 码的低并行度编码,通过采用插 "0" 和拆分子矩阵结构,只需额外增加很少的硬件开销 就能实现该标准 LDPC 码的按位低并行度编码。但 是并行编码带来的另外一个问题是对于宇航应用中 的器件,并行编码结构带来的工作功耗的增加相当 惊人。文献[14-16]提出了可配置循环移位的思想。 本文通过研究了编码器编码运算过程,提出了一种 高效,低功耗,低并行度的编码方案。

本文的第1节为引言部分;第2节说明本文需 要用到的预备知识;第3节阐述具体的高效,低功 耗,低并行度编码的方案;第4节比较本文提出的 方案和文献中提出的串行和低并行编码方案,并作 分析;第5节为结论。

2 预备知识

2.1 编码原理

LDPC 的编码运算为矩阵的乘法运算和 GF(2) 域的加法运算^[2]。以 CCSDS 推荐 7/8 码率近地空间 (8176, 7154)LDPC 码^[9]为例,该 7/8 码为系统码, 码字长度为 8176 位,其中前面 7154 位为待编码信 息位,后面 1022 位为校验位。

CCSDS 推荐 7/8 码率 LDPC 码的系统码向量:

$$\boldsymbol{N} = \begin{pmatrix} n_1 & n_2 & \cdots & n_{7154} & c_1 & c_2 & \cdots & c_{1022} \end{pmatrix}$$
(1)

其中, n₁至 n₇₁₅₄为 7154 位待编码信息位, c₁至 c₁₀₂₂为 1022 位校验位。

系统码N中前7154位待编码信息位为向量。

$$\boldsymbol{n} = \begin{pmatrix} n_1 & n_2 & \cdots & n_{7154} \end{pmatrix} \tag{2}$$

CCSDS 橙皮书中提供 7/8 码的生成矩阵 G 为

$$G = \begin{vmatrix} I & 0 & \cdots & 0 & B_{1,1} & B_{1,2} \\ 0 & \ddots & \cdots & 0 & B_{2,1} & B_{2,2} \\ \vdots & \vdots & \vdots & \vdots & \vdots \\ 0 & \cdots & 0 & I & B_{1,4,1} & B_{1,4,2} \end{vmatrix}$$
(3)

矩阵 G 的大小为 7154×8176,如式(3)所示,矩 阵 G 由 14×16 的子矩阵组成,子矩阵都是大小 511×511的方阵。其中 I 为单位子矩阵,0为零矩 阵; B_{i,j}(*i*=1,2,…,14; *j*=1,2)为循环矩阵。矩阵 G 分 为两部分,左边 14×16 的子矩阵用来生成信息码, 右边 14×2 子矩阵生成校验码。

所以编码的数学表达式为

N=nG (4)

为了简化编码器的结构设计, CCSDS 推荐的生成矩阵校验矩阵部分 **B**_{i,j} (*i*=1,2,…,14; *j*=1,2)为循环矩阵

$$\boldsymbol{B}_{i,j} = \begin{bmatrix} b_{i,j}^{1} & b_{i,j}^{2} & \cdots & b_{i,j}^{510} & b_{i,j}^{511} \\ b_{i,j}^{511} & b_{i,j}^{1} & \cdots & b_{i,j}^{509} & b_{i,j}^{510} \\ \vdots & \vdots & \ddots & \vdots & \vdots \\ b_{i,j}^{3} & b_{i,j}^{4} & \cdots & b_{i,j}^{1} & b_{i,j}^{2} \\ b_{i,j}^{2} & b_{i,j}^{3} & \cdots & b_{i,j}^{511} & b_{i,j}^{1} \end{bmatrix}$$
(5)

校验矩阵 $B_{i,j}$ 可以通过矩阵的第 1 行循环移位 实现。

这种循环移位的设计可以简化矩阵的电路结构,在实现中只需要保存校验矩阵中每个循环子矩阵 **B**_{i,j} 各自的第1行资料 **b**_{i,j} (*i*=1,2,…,14; *j*=1,2)即可,简化了存储结构。

2.2 低并行度编码方案

文献[13]提出了CCSDS推荐近地空间LDPC码低并行度编码的方案。

该低并行度编码方案使用在待编码信息位数据 中插"0"和改变校验矩阵结构的方法,使得 LDPC 码校验矩阵大小为 511×511 的子矩阵可以两位并行 的进行编码运算。

输入的 7154 位待编码数据为向量 n,且有 $n = (n_1 n_2 \cdots n_{7154})$,将n向量划分为 14 个长度 511 向 量 p_i ($i=1,2,\cdots,14$)。在待编码信息位数据送入编码 器之前,使用插零器对待编码信息位数据每隔 511 位插入一个 "0",这样可以得到新的适合低并行度 编码的待编码数据向量 m,且同样将m 划分为 14 个长度 512 的向量 k_i ($i=1,2,\cdots,14$), k_i 为对应的 p_i 末 尾添加一个 "0"。即 $k_i = (p_i 0)$ ($i=1,2,\cdots,14$)。

根据低并行度运算的需要,将待编码的信息位 向量 \mathbf{k}_i (*i*=1,2,…,14)再划分为 \mathbf{k}_{i1} 和 \mathbf{k}_{i2} ,其中, $\mathbf{k}_{i1} = (n_1 n_3 \cdots n_{509} n_{511}), \mathbf{k}_{i2} = (n_2 n_4 \cdots n_{510} 0) .$

将生成矩阵 G 的循环子矩阵 $B_{i,j}$ ($i=1,2,\dots,14$; j=1,2)拆分成与奇位编码数据对应循环矩阵 $B_{i,j}^{\text{odd}}$ 和 偶位编码数据对应的循环矩阵 $B_{i,j}^{\text{even}}$,如式(6):

	$b^1_{i,j}$	$b_{i,j}^2$		$b_{\!i,j}^{510}$	$b_{i,j}^{511}$	
	$b_{i,j}^{510}$	$b_{i,j}^{511}$		$b_{i,j}^{508}$	$b_{i,j}^{509}$	
$oldsymbol{B}_{i,j}^{\mathrm{odd}} =$:	÷	·.	÷	:	(6)
	$b_{i,j}^4$	$b_{i,j}^5$		$b_{i,j}^2$	$b_{i,j}^3$	
	$b_{i,j}^2$	$b_{i,j}^3$		$b_{i,j}^{511}$	$b_{i,j}^1$	

B^{odd} 由矩阵中第1行资料依次循环右移2位, 右移255次构成,矩阵的大小为256×511。

$$\boldsymbol{B}_{i,j}^{\text{even}} = \begin{bmatrix} b_{i,j}^{511} & b_{i,j}^{1} & \cdots & b_{i,j}^{509} & b_{i,j}^{510} \\ b_{i,j}^{509} & b_{i,j}^{510} & \cdots & b_{i,j}^{507} & b_{i,j}^{508} \\ \vdots & \vdots & \ddots & \vdots & \vdots \\ b_{i,j}^{510} & b_{i,j}^{511} & \cdots & b_{i,j}^{1} & b_{i,j}^{2} \\ b_{i,j}^{1} & b_{i,j}^{2} & \cdots & b_{i,j}^{510} & b_{i,j}^{511} \end{bmatrix}$$
(7)

B^{even} 由矩阵中第1行资料依次循环右移2位, 右移255次构成,矩阵的大小为256×511。那么

$$\boldsymbol{p}_{i}\boldsymbol{B}_{i,j} = \boldsymbol{k}_{i1}\boldsymbol{B}_{i,j}^{\mathrm{odd}} \oplus \boldsymbol{k}_{i2}\boldsymbol{B}_{i,j}^{\mathrm{even}}$$
 (8)

编码运算所得校验位结果为

$$oldsymbol{c} = \sum_{i} oldsymbol{p}_{i,j} B_{i,j} = \sum_{i} oldsymbol{k}_{i1} oldsymbol{B}_{i,j}^{ ext{odd}} \oplus oldsymbol{k}_{i2} oldsymbol{B}_{i,j}^{ ext{even}}$$
 (9)

3 高效低功耗方案

3.1 高效低功耗串行编码方法

本文提出的高效低功耗编码原理图如图 1 所示,以串行的 CCSDS 标准 7/8 码率(8176, 7154) LDPC 码为例。在串行编码器的结构原理上,增加 了移位控制器和改变了循环移位寄存器设计。串行 输入的待编码信息位数据,首先输入到移位控制器, 移位控制器判断输入的数据为"1"或者"0"。

如果输入数据为"1",则移位控制器输出一个 移位值给对应的循环移位寄存器;同时输出一个为 "1"的高电平到循环移位寄存器的每位对应的与 门,此时循环移位寄存器根据移位控制器送过来的 移位值进行移位运算,并将运算后的结果从与门送 到异或器,和累加器中的数值进行异或操作,完成 一次编码运算。

如果输入数据为"0",则移位控制器输出为"0" 的移位值给对应的循环移位寄存器;同时输出一个 为"0"的低电平到循环移位寄存器的每位对应的与 门,此时循环移位寄存器不进行移位运算。

方案需要设计一个按照移位控制器的输出值来 进行循环移位的循环移位器,当校验位子矩阵较大 时,这个想法难以实现,因为调度的复杂度会变得 很大。所以我们需要根据应用需求选择合理的参数, 用来限制移位值的最大值 *K*,当输入信息位中两个 最接近的"1"的距离超过了这个最大值 *K*,就将 *K* 从移位值输出,循环移位器做一次移位距离为 *K*的 循环移位操作,然后从"0"开始重新计算移位值, 这样可以设计出较小规模的,复杂度可以接受的移 位网络。

考虑到输入信息位是随机的分布,假设信息位 中连续"0"的个数分布应该满足近似的高斯分布, 则可以根据输入资料的分布概率选择合适的*K*值, 这样采用设定最大移位值得方法可以在移位网络复 杂度和设计需求之间取得折中。

移位值的计算算法如下:

若输入待编码信息位为"0",则移位值为"0"; 若输入待编码信息位为"1",且是输入的第 1 个信息位,则移位值为"0";

若输入待编码信息位为"1",且不是输入的第 1 个信息位,则移位控制器根据离这个信息位最近 的为"1"的信息位的距离来计算移位值,并输出控 制信号"1";若计算出的移位值达到了设定的最大 移位值 *K*,则移位值 *K*输出,并输出一个为"0" 的控制信号,同时再从"0"开始计算移位值,这样 循环移位器会进行一次*K*的循环移位操作,但不会 进行其他计算操作。

例如输入待编码信息位的前 10 位输入数据为 "1000100110",则输出的移位值依次为 "1000400310"。控制信号为"1000100110"。



图 1 高效低功耗串行编码结构设计

2271

例如输入待编码信息位的前 K+3 位输入数据 为"100...001"中间间隔 K+1 个"0",则输出的移 位值依次为"100...0K1"。控制信号为"100...001"。

以 7/8 码率 LDPC 码为例,循环移位寄存器的 长度应为校验矩阵子矩阵的大小值,也就是 511 位。 移位值范围从 0 到 K(K可以取 1 到 510 之间的数)。 循环移位寄存器根据移位控制器输送来的移位值进 行循环移位,根据移位控制器输出的控制信息进行 乘加操作。这样可以实现我们设想的只对待编码信 息位中的"1"进行编码的方案,能够实现编码器功 耗的大幅度降低。

3.2 高效低功耗低并行编码结构方案

因为低并行度的编码方案具有较快的编码速率 和适中的硬件开销。所以更适合 CCSDS 推荐的近 地空间的 7/8 码率 LDPC 码编码,所以本文提出了 高效低功耗低并行度的编码结构方案。

如图 2 所示,以 CCSDS 标准推荐深空探测 7/8 码率 LDPC(8176, 7154)码为例。我们将 7154 位待 编码数据按照校验矩阵子矩阵的大小分为 14 组,每 组 511 位待编码信息位。采用文献[13]中提出的待编 码数据输入前插 "0"的方案,对待编码信息数据每 隔 511 位插入一位 "0",这样 7154 位信息位变为 7168 位信息位,即 14 组信息位,每组 512 位待编 码数据。为了简化编码时钟同步,在 7168 位信息位 后填充 1008 位 "0",使得待编码信息位的总长为 8176。



图 2 高效低功耗低并行度编码结构

高效低功耗低并行编码采用 4 个子矩阵处理单 元,如图 3 所示。

编码过程如下:

初始时刻,子矩阵处理单元1_1中的初始值为 第1组循环校验矩阵的第1个循环校验矩阵的第1 行的资料,即式(3)中 *B*_{1,1}子矩阵的第1行数据;子 矩阵处理单元1_2中的初始值为第1组循环校验矩 阵的第2个循环校验矩阵的第1行的资料,即式(3)



图 3 子矩阵处理单元

中 $B_{1,2}$ 子矩阵的第1行数据;子矩阵处理单元2_1 中的初始值为子矩阵处理单元1_1中的数据循环右移1位,即式(3)中 $B_{1,1}$ 子矩阵的第2行数据;子矩 阵处理单元2_2中的初始值为子矩阵处理单元1_2 中的数据循环右移1位,即式(3)中 $B_{1,2}$ 子矩阵的第 2行数据。累加器初始值都为1022个"0"。待编码数据串行输入到编码器,将待编码数据分为14个 512位向量 p_1, p_2, \dots, p_{14} 。

对于输入 p_1 向量,假设并行输入进的第1位和 第2位数据,也就是奇位数据 odd_1 和偶位数据 even_1。

在第1个时钟周期内,如果移位控制器1输入 的待编码信息位奇位数据odd_1为"1",则输出相 应的移位值到子矩阵处理单元1_1和子矩阵处理单 元1_2,进行循环移位操作,并输出相应的开关信 息"1"到与循环移位单元每位对应的与门,然后将 循环移位操作后的数据输入到累加器中进行模2加 操作。如果移位控制器1输入的待编码信息位奇位 数据odd_1为"0",则输出相应的移位值为"0", 子矩阵处理单元1_1和子矩阵处理单元1_2不进行 移位操作,并输出相应的开关信息"0"到与循环移 位单元每位对应的与门,停止累加操作。同理,将 偶位数据 even_1 待编码信息位输入到移位控制器 2,进行相同的操作。

在第2到第256个时钟周期内,分别对输入的 奇偶位待编码信息位数据执行与第1个时钟周期相 同的操作。

第 256 个时钟周期后,第 1 组循环校验矩阵结 束。然后将子矩阵处理单元 1_1 中的数据更换为第 2 组循环校验矩阵的第 1 个循环校验矩阵的第 1 行 的资料,即式(3)中 $B_{2,1}$ 子矩阵的第 1 行数据;子矩 阵处理单元 1_2 中的数据更换为第 2 组循环校验矩 阵的第 2 个循环校验矩阵的第 1 行的资料,即式(3) 中 $B_{2,2}$ 子矩阵的第 1 行数据,子矩阵处理单元 2_1 中的数值更换为子矩阵处理单元 1_1 循环左移 1 位 的数据,即式(3)中 $B_{2,1}$ 子矩阵的第 2 行数据,子矩 阵处理单元 2_2 中的数值更换为子矩阵处理单元 1_2 循环左移 1 位的数据,即式(3)中 $B_{2,2}$ 子矩阵的 第 2 行数据。对 p_2 到 p_{14} 向量,重复与 p_1 输入的处 理相同的过程。

4 实现分析和比较

本文中提出的高效,低功耗,低并行度编码器 方案相比于文献[13]中提出的低并行度编码方案,最 大的特点是在信息数据输入循环矩阵之前加入了一 个移位控制器并将固定次数的循环移位寄存器改变 成可选移位次数的循环移位器。

从图 1 中可以看出,编码的过程本质上是向量的乘加运算,输入的带编码信息位与对应的循环移位寄存器中的每位数据相乘,在所有的带编码数据输入完成后,将相乘的结果进行模 2 加运算,即可得编码的校验位数据。因为编码的过程本质是乘加运算,所以对于输入的为"0"的带编码信息位,进行乘加运算对于最后的校验结果生成没有影响。所以对输入的"0"信息位时,停止编码过程的矩阵的运算,这样会减小编码功耗,而且输入的信息位中的"0"的个数越多,这种功耗的降低越明显。而在实际的工程应用中"0"的位数甚至经常超过一半,特别在有实时图像数据和视频数据传输的应用场

合。

为方便比较,设定该编码方案取最大移位值为 K=8 在 Xilinx 公司的 XC4VLX80-12ff1148 型 FPGA 上实现(与文献[7]中所用器件相同)。开发环 境为 ISE13.2 版本。结果显示见表 1。

表 1 中可以看出由于采用状态机来实现多种不同移位值得循环移位器,所以相比于低并行结构, 高效低功耗低并行结构有较多的 LUT 查找表资源 开销,这种开销与设计者设定的最大移位值 K 成相 关关系,需要大量的模拟决定适合的 K 值大小。

5 结论

本文提出的一种高效,低功耗,低并行度编码 结构设计方案。在文献[13]提出的低并行度编码结构 设计的基础上深入分析了编码过程中的矩阵运算和 影响整个编码结构的功耗的关键点。提出了一种只 对输入待编码信息位为"1"的有效信息位进行编码 的方案,并给出了控制其中循环移位器的进行移位 的规则,在只增加部分多路选择逻辑的基础上实现 了编码电路工作功率的大幅度下降,而编码器性能 基本上没受影响。文中提出的移位控制器可以普遍 地用于类似使用循环矩阵进行编码的场合,对于降 低类似编码器的工作功耗具有重要意义。

表1 两种低并行度编码结构实现情况

_							
	逻辑资源占用和利用率	Slices 单元	触发器	4 输入查找表	输入输出缓冲器	全局时钟网络	工作频率(MHz)
	低并行结构	12293	18440	15600	8	1	194.421
	芯片资源使用率(%)	34	25	21	1	3	
	高效低功耗低并行结构	14326	18448	25572	11	1	193.192
	芯片资源使用率(%)	39	25	35	1	3	
	芯片可利用总数	35840	71680	71680	768	32	

参考文献

- GALLAGER R G. Low-density parity-check codes[J]. IRE Transactions on Information Theory, 1962, 8(1): 21–28. doi: 10.1109/TIT.1962.1057683.
- [2] 袁东风,张海刚. LDPC码理论与应用[M]. 北京:人民邮电出版社,2008:20-25.
 YUAN Dongfeng and ZHANG Haigang. LDPC Code Theory

and Applications[M]. Beijing: Post and Telecom Press, 2008: 20–25.

- [3] MACKAY D C. Good error-correcting codes based on very sparse matrices[J]. *IEEE Transactions on Information Theory*, 1999, 45(2): 399–431. doi: 10.1109/18.748992.
- [4] CHUNG S Y. On the design of low-density parity-check codes within 0.0045 dB of the Shannon limit[J]. IEEE

Communications Letters, 2001, 5(2): 58-60. doi: 10.1109/ 4234.905935.

- [5] MAHDI A and PALIOURAS V. A low complexity-high throughput QC-LDPC encoder[J]. *IEEE Transactions on* Signal Process, 2014, 62(10): 2696–2708. doi: 10.1109/tsp. 2014.2314435.
- [6] 栾志斌,裴玉奎,葛宁.低存储高速可重构LDPC码译码器设 计及ASIC实现[J].电子与信息学报,2014,36(10):2287-2292. doi: 10.3724/SP.J.1146.2013.01939.

LUAN Zhibin, PEI Yukui, and GE Ning. Design and ASIC implementation of low memory high throughput reconfigurable LDPC decoder[J]. Journal of Electronics & Information Technology, 2014, 36(10): 2287–2292. doi: 10.3724/SP.J.1146.2013.01939.

[7] 苏和光, 夏树涛. 一种新的码率兼容LDPC码打孔方案[J]. 电

子与信息学报, 2011, 33(10): 2334-2339. doi: 10.3724/SP.J. 1146.2010.01202.

SU Heguang and XIA Shutao. A novel puncturing scheme for rate-compatible LDPC codes[J]. *Journal of Electronics & Information Technology*, 2011, 33(10): 2334–2339. doi: 10. 3724/SP.J.1146.2010.01202.

- [8] CCSDS. CCSDS 131.0-B-2-TM synchronization and channel coding[S]. Washington, DC, USA, 2011.
- CCSDS. CCSDS 131.1-O-2-low density parity check codes for use in near-earth and deep space applications[R]. Washington, DC, USA, 2007.
- [10] CCSDS. CCSDS 230.2-G-1-next generation uplink[R]. Washington, DC, USA, 2014.
- [11] CCSDS. CCSDS 231.1-O-1-short block length LDPC codes for TC synchronization and channel coding[R]. Washington, DC, USA, 2015.
- [12] 张浩, 殷柳国. 星地高速数传系统LDPC编码器ASIC集成芯 片设计[J]. 宇航学报, 2015, 36(1): 96-102.
 ZHANG Hao and YIN Liuguo. ASIC design of an LDPC encoder for satellite-ground high-speed data transmission system[J]. Journal of Astronautics, 2015, 36(1): 96-102.
- [13] 燕威,杨双,薛长斌. 一种CCSDS标准低并行度高速LDPC编

码方案[R]. 中国科学院国家空间科学中心, 2015.

YAN Wei, YANG Shuang, and XUE Changbin. An encoder architecture scheme with low parallel and high speed for LDPC codes based CCSDS standard[R]. National Space Science Center, Chinese Academy of Science, 2015.

- MCGUIRE M, SIMA M, and MILLER S. VLSI implementation of a shift-enabled reconfigurable array[C].
 2008 IEEE International Symposium on Circuits and Systems, 2008, 1(10): 1360–1363.
- [15] PARHI K K and OH D. Area efficient controller design of barrel shifters for reconfigurable LDPC decoders[C]. 2008 IEEE International Symposium on Circuits and Systems, Seattle, WA, USA, 2008: 240–243.
- [16] PARHI K K and OH D. Low-complexity switch network for reconfigurable LDPC decoders[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2010, 18(1): 85–94. doi: 10.1109/TVLSI.2008.2007736.
- 燕 威: 男,1989年生,博士生,研究方向为信道编译码技术及 大规模集成电路设计.
- 薛长斌: 男,1972年生,研究员,研究方向为信号与信息处理技术.