

nMOS 四值触发器的设计及其应用¹

夏银水 吴训威*

(宁波大学师范学院物理系 宁波 315211)

*(杭州大学电子工程系 杭州 310028)

摘 要 本文应用限幅电压开关理论设计了两种主从型 nMOS 四值触发器。这些触发器具有双端预置能力和双轨互补输出。通过采用 JKLM 型触发器对十六进制加法计数器和十进制加法计数器的设计实例证明了这些触发器能有效地用于四值时序电路的设计。

关键词 开关理论, nMOS, 四值逻辑, 触发器, 时序电路

中图分类号 TN791

1 引 言

在众多的多值逻辑电路族中, nMOS 电路由于仅需要单电源供电, 具有低功耗、单元门电路占用面积少、适合于 LSI 和 VLSI 等优点, 国际上对 nMOS 多值电路较感兴趣。nMOS 四值 ROM 的实用化^[1], 更进一步推动了对 nMOS 多值电路设计理论的研究。基于 nMOS 管工作原理建立的限幅电压开关理论^[2], 对 nMOS 电路的设计起到了理论指导作用。目前, 这一理论已成功地用于指导二值^[3]和多值^[2,4]nMOS 电路在开关级的设计。构造合适且不复杂的存储单元一直是多值逻辑实用化中的一项关键课题^[5]。本文将考察限幅电压开关理论在 nMOS 触发器及其时序电路设计中的应用, 从而对该理论的实用性作一个完整的研究。为了方便起见, 本文将对四值逻辑进行讨论。

2 基于限幅电压开关理论的四值 nMOS 基本电路

在限幅电压开关理论引入了两类变量(开关变量和信号变量)和与之相应的两类代数系统(开关代数和信号代数)。开关变量 $\alpha, \beta, \dots$, 取值为 (T, F) , 基本运算为“与” $(\cdot)$ 、“或” $(+)$ 、“非” $(\sim)$ 。四值信号变量 $(X, Y, Z, \dots)$ 可取 $(0, 1, 2, 3)$ 四个值, 基本运算为取小 $(\cap)$, 取大 $(\cup)$, 反相 $(-)$ 和文字运算^[6]。电路对信号值的检测是通过输入信号与阈值的比较来进行的, 检测阈居于两相邻信号之间, 并可记为 $t, t \in (0.5, 1.5, 2.5)$ 。两类变量之间的联接运算为^[2]

阈比较运算

$$x^t \equiv \begin{cases} T, (x < t), \\ F, (x > t). \end{cases} \quad \text{和} \quad {}^tx \equiv \begin{cases} T, (x > t), \\ F, (x < t). \end{cases}$$

限幅开关运算

$$x \nabla \alpha \equiv \begin{cases} x, (\alpha = T), \\ 3, (\alpha = F). \end{cases}$$

¹ 1995-12-15 收到, 1997-01-06 定稿

宁波市科委青年科技基金和浙江省自然科学基金资助项目

作为例子, 根据上述运算的物理实现及其有关性质的讨论^[2], 可对如下定义的若干基本运算进行综合, 并可获得具体的电路设计。

定义 1 阈 t 反相运算

$$\bar{x}(t) \equiv \begin{cases} 3, (x < t), \\ 0, (x > t). \end{cases} \quad (1)$$

定义 2 四值反相运算

$$\bar{x} \equiv \begin{cases} 3, (x = 0), \\ 2, (x = 1), \\ 1, (x = 2), \\ 0, (x = 3). \end{cases} \quad (2)$$

定义 3 模 4 加运算

$$x \oplus i = \text{mod}_4(x \& i), \quad (3)$$

上式中, $i \in (0, 1, 2, 3)$, “&” 号为算术加。

定义 4 二选一阈 t 数据选择运算

$$f(y_0, y_3; x, t) \equiv \begin{cases} y_0, (x < t), \\ y_3, (x > t). \end{cases} \quad (4)$$

定义 5 四值 T 运算

$$f(y_0, y_1, y_2, y_3; x) \equiv \begin{cases} y_0, (x = 0), \\ y_1, (x = 1), \\ y_2, (x = 2), \\ y_3, (x = 3). \end{cases} \quad (5)$$

在定义 1、定义 4 中, 如果 $x \in (0, 3)$, 则阈 t 可取为 0.5, 1.5, 2.5 中任一值。

根据限幅电压开关理论^[2], 可把上述运算表示如下:

$$\bar{x}(t) \equiv 0\nabla' x, \quad (6)$$

$$\bar{x} = (0\nabla^{2.5} x) \cap (1\nabla^{1.5} x) \cap (2\nabla^{0.5} x), \quad (7)$$

$$x \oplus 1 = (0\nabla^{2.5} x) \cap (1\nabla x^{0.5}) \cap (2\nabla x^{1.5}), \quad (8)$$

$$x \oplus 2 = (0\nabla x^{2.5}) \cap (1\nabla^{1.5} x) \cap (2\nabla x^{0.5}), \quad (9)$$

$$x \oplus 3 = \{(0\nabla x^{1.5}) \cap [(1\nabla x^{2.5}) \cap 2]\} \nabla^{0.5} x, \quad (10)$$

$$\begin{aligned} \bar{f}(y_0, y_3; x, t) &= f(\bar{y}_0, \bar{y}_3; x, t) \\ &= \{[(0\nabla^{2.5} y_0) \cap (1\nabla^{1.5} y_0) \cap (2\nabla^{0.5} y_0)] \nabla x^t\} \\ &\cap \{[(0\nabla^{2.5} y_3) \cap (1\nabla^{1.5} y_3) \cap (2\nabla^{0.5} y_3)] \nabla^t x\}, \end{aligned} \quad (11)$$

$$\begin{aligned} \bar{f}(y_0, y_1, y_2, y_3; x) &= f(\bar{y}_0, \bar{y}_1, \bar{y}_2, \bar{y}_3; x) \\ &= \{[(0\nabla^{2.5} y_0) \cap (1\nabla^{1.5} y_0) \cap (2\nabla^{0.5} y_0)] \nabla x^{0.5}\} \\ &\cap \{[(0\nabla^{2.5} y_1) \cap (1\nabla^{1.5} y_1) \cap (2\nabla^{0.5} y_1)] \nabla^{0.5} x^{1.5}\} \\ &\cap \{[(0\nabla^{2.5} y_2) \cap (1\nabla^{1.5} y_2) \cap (2\nabla^{0.5} y_2)] \nabla^{1.5} x^{2.5}\} \\ &\cap \{[(0\nabla^{2.5} y_3) \cap (1\nabla^{1.5} y_3) \cap (2\nabla^{0.5} y_3)] \nabla^{2.5} x\}. \end{aligned} \quad (12)$$

注意到在 (11) 式和 (12) 式中 f 和 y_i 均采用反相的形式, 这是因为公式中出现的高阈比较运算 ' y_i ' 易于实现, 只要在 (11)、(12) 式的基础上再次反相便可获得 $f(y_0, y_3; x, t)$ 和 $f(y_0, y_1, y_2, y_3; x)$ 。

(6)-(12) 式的形式事实上已暗示了相应电路的开关级设计, 以 (6)、(7) 式为例, 可得到实现此两运算的 nMOS 电路如图 1 所示。我们分别将其称作阈 t 反相器和四值反相器。文献 [7] 已对图 1(b) 所示 nMOS 四值反相器进行了 SPICE 模拟, 结果表明电路具有理想 DC 转移特性和正确的逻辑功能。对于 (8)-(12) 式也可得到相应 nMOS 电路实现, 并可分别称为“模加 1 电路”、“模加 2 电路”、“模加 3 电路”、“二选一阈 t 数据选择器”和“四值 T 门”等, 但后两者的输出必须串接反相器才能得到所选通的输入信号。

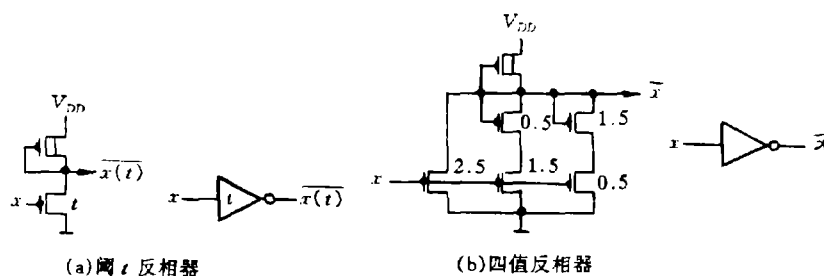


图 1 nMOS 四值基本逻辑电路及其逻辑符号
(a) 阈 t 反相器 (b) 四值反相器

3 四值 nMOS 触发器设计

触发器设计的关键是锁存器的设计, 因此下面从四值锁存器出发进行讨论。

3.1 四值 D 锁存器

文献 [8] 提出用一个整形器和一只二选一阈 t 数据选择器来实现 CMOS 三值 D 锁存器, 考虑到上节设计的 nMOS 二选一数据选择器本身具有整形功能, 因而其四值 D 锁存器可由一只二选一阈 t 数据选择器构成。根据 (11) 式设计的电路只需作如下对应: 即输出端作为触发器的 Q 端并将其反馈至 y_0 端, y_3 端为其输入端 D, x 端作为时钟信号 CP 端, 便可获得 D 锁存器的电路如图 2 所示。

它的次态方程为

$$Q_+ = (Q \nabla CP^t) \cap (D \nabla^t CP), \quad (13)$$

其中 Q, Q_+ 为锁存器的现态和次态, 时钟脉冲 $CP \in (0, 3)$, 开启阈 t 可任取 0.5, 1.5, 2.5, 但为提高 CP 的抗干扰能力, 可取 $t = 1.5$, 即在 $(0, 3)$ 的中央。图中 nMOS 管旁所注的数字 (0.5, 1.5, 2.5) 表示管子的开启阈。在电源 $V_{CC} = 5V$ 的情况下, 0.5, 1.5 和 2.5 对应的开启阈值电压分别可取 0.8V, 2.4V 和 4.0V, 它们正好处于 4 个逻辑电平 0V, 1.6V, 3.2V 和 4.8V 的中央。该锁存器的工作原理为 $CP=3$ 时, 接收 D 端输入信号; $CP=0$ 时, 处于保持状态, 它具有双轨互补输出 ($Q, \bar{Q}$)。

图 2 所示四值 D 锁存器已用大型电路分析程序 SPICE-II 模拟。当输入信号频率在 5Hz-5MHz 范围变化时, 具有正确的逻辑功能。以时钟 CP 频率为 5kHz 时为例。模拟主要参数为耗

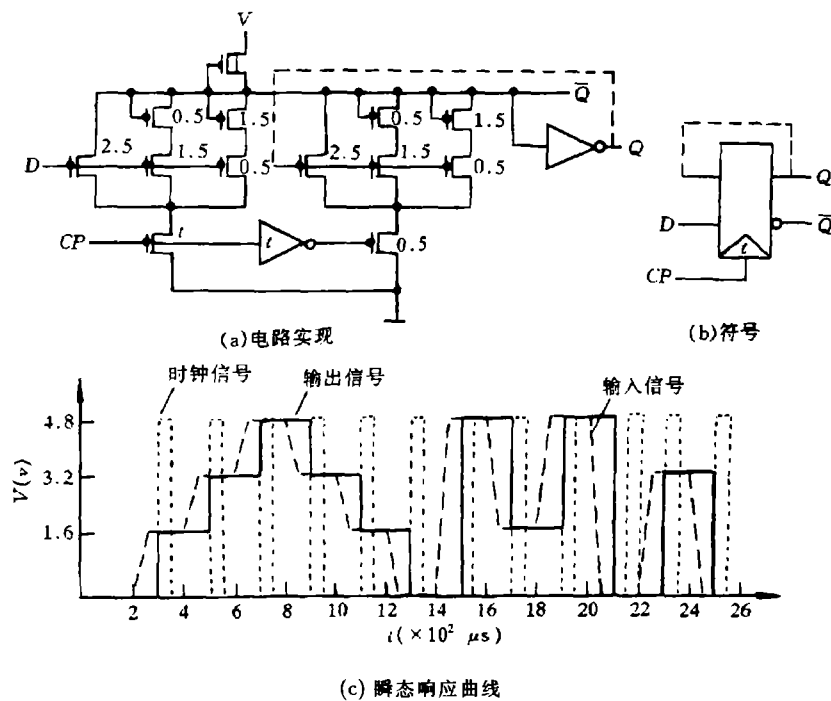


图 2 四值锁存器

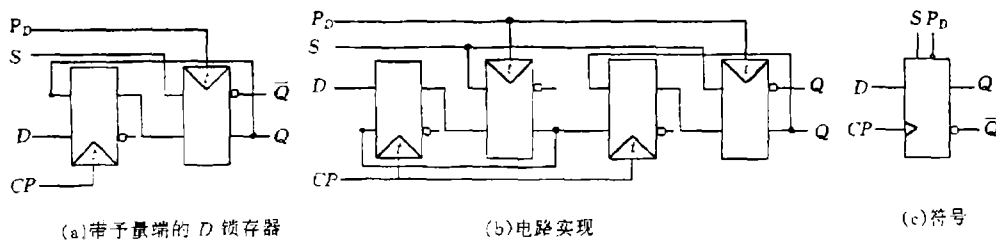


图 3 主从 D 触发器

尽型 nMOS 管: $V_{to} = -2.4V$, $W = 3\mu$, $L = 12\mu$; 增强型 nMOS 管对应阈值的开启电压取值如上, 沟道宽长分别为阈 1.5 的衬垫管: $W = 4\mu$, $L = 4\mu$; 阈 0.5 的衬垫管: $W = 6\mu$, $L = 4\mu$; 其余管子: $W = 12\mu$, $L = 3\mu$; 负载电容取 $20pF$ 。模拟所得瞬态响应曲线示于图 2(c)。它已考虑了输入信号全部可能的 12 种跳变。由图 2(c) 可看出该锁存器具有正常的瞬态响应。输出信号相对输入信号的偏移可能是 nMOS 管串联电阻所致。然而由于该电路的负载主要表现为容性, 因而随着输入信号频率升高, 其瞬态响应变差, 负载能力也有所降低。

根据文献 [8] 提出的双端置数技术, 尚可进一步设计出具有预置功能的 D 锁存器, 如图 3(a) 所示。图中 (S, P_D) 为两个预置端, 其中 $S \in (0, 1, 2, 3)$ 表示预置值, $P_D \in (0, 3)$ 为预置命令。当 $P_D = 0$ 时, 产生预置, $Q_+ = S$; 当 $P_D = 3$ 时, 预置命令不起作用, 即 $Q_+ = Q$ 。显然, 这种 D 锁存器 $CP=3$ 期间, Q 将随 D 端信号的变化而变化。因此, 若需实现时钟脉冲作用期间一次操作的要求, 尚需仿照二值触发器来设计相应的主从触发器。

3.2 D 型主从触发器

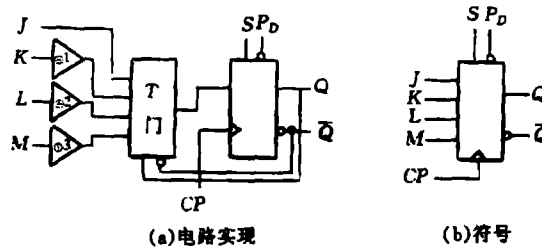


图 4 主从 JKLM 触发器

将上述两只 D 锁存器串接, 且使用反相时钟控制, 便可构成主从 D 触发器, 如图 3(b) 所示。CP=0 时, 主锁存器隔断与外输入端 D 的联系, 从锁存器更新状态。因此, 该 D 型主从触发器在时钟上跳沿更新状态, 其次态方程为

$$Q_+ = D. \quad (14)$$

3.3 JKLM 型主从锁存器

基于 JKL 触发器的设计思路^[9], 可推断对于该一类型的四值主从触发器应有四个激励输入端, 记作 JKLM, 且应有次态方程如下:

$$Q_+ = (J \nabla Q^{0.5}) \cap [(K \oplus 1) \nabla^{0.5} Q^{1.5}] \cap [(L \oplus 2) \nabla^{1.5} Q^{2.5}] \cap [(M \oplus 3) \nabla^{2.5} Q]. \quad (15)$$

仿照二值触发器的逻辑功能转换, 在以上 D 型主从触发器的基础上, 利用模 4 加电路和 T 门便可实现 JKLM 触发器, 如图 4 所示。进而, 若把 J、K、L、M 连接在一起, 并用 T 来代替, 即 $J = K = L = M = T$, 则 (15) 式成为

$$Q_+ = T \oplus Q. \quad (16)$$

此即为 T 触发器的次态方程。注意上面设计的三种四值触发器与二值触发器有很好的对应关系。

由 (14)~(16) 式的次态方程, 容易推得相应的四值触发器的激励表如表 1 所示, 表中 $d \in (0, 1, 2, 3)$ 表示任意态。由表可见三种四值触发器的逻辑功能既是完备的又是均衡的^[10]。JKLM 触发器的任一种状态转换, 均可找到 27 组激励输入解, 由此说明它的逻辑功能比 D 型 T 型触发器强得多。

4 JKLM 型触发器在四值时序电路设计中的应用

利用上节设计的触发器, 可进行各种四值时序电路的设计。由于 JKLM 型触发器具有很强的逻辑功能, 因此在一般的四值时序电路设计中 JKLM 型触发器将可导致相应的组合电路的简化。并且 JKLM 触发器激励函数与状态变量的关系也比较简单。例如, 对 (15) 式而言, JKLM 触发器的状态方程如取 $Q = 0$, 则有

$$J = Q_+|_{Q=0}. \quad (17)$$

如对 (15) 式中两边模加 3 并取 $Q = 1$, 得

$$K = Q_+ \oplus 3|_{Q=1}. \quad (18)$$

类似地可得

$$L = Q_+ \oplus 2|_{Q=2}, \quad (19)$$

$$M = Q_+ \oplus 1|_{Q=0}. \quad (20)$$

以上诸式表示由触发器的次态可获得各激励函数。

表 1 四值触发器的激励表

状态转换	JKLM 型	T 型	D 型
QQ_+	$JKLM$	T	D
0 0	0 d d d	0	0
0 1	1 d d d	1	1
0 2	2 d d d	2	2
0 3	3 d d d	3	3
1 0	d 3 d d	3	0
1 1	d 0 d d	0	1
1 2	d 1 d d	1	2
1 3	d 2 d d	2	3
2 0	d d 2 d	2	0
2 1	d d 3 d	3	1
2 2	d d 0 d	0	2
2 3	d d 1 d	1	3
3 0	d d d 1	1	0
3 1	d d d 2	2	1
3 2	d d d 3	3	2
3 3	d d d 0	0	3

表 2 十六进制计数器状态表

现态	次态	现态	次态
$A B$	$A_+ B_+$	$A B$	$A_+ B_+$
0 0	0 1	2 0	2 1
0 1	0 2	2 1	2 2
0 2	0 3	2 2	2 3
0 3	1 0	2 3	3 0
1 0	1 1	3 0	3 1
1 1	1 2	3 1	3 2
1 2	1 3	3 2	3 3
1 3	2 0	3 3	0 0

表 3 十进制计数器

现态	次态	现态	次态
$A B$	$A_+ B_+$	$A B$	$A_+ B_+$
0 0	0 1	2 0	2 1
0 1	0 2	2 1	2 2
0 2	0 3	2 2	× ×
0 3	1 0	2 3	× ×
1 0	1 1	3 0	× ×
1 1	1 2	3 1	× ×
1 2	1 3	3 2	× ×
1 3	2 0	3 3	× ×

例 1 十六进制加法计数器

由于 $4^2 = 16$ ，因而需要用两只四值触发器 (AB) 来描述十六个状态，状态表如表 2 所示。根据 (17)–(20) 式可得 A ， B 两只触发器的激励函数为

$$J_A = K_A = L_A = M_A = (0 \nabla B^{2.5}) \cap (1 \nabla^{2.5} B), \quad (21)$$

$$J_B = K_B = L_B = M_B = 1. \quad (22)$$

由于 (22) 式可用一只二选一阈 2.5 数据选择器实现，因此可得十六进制计数器电路如图 5(c) 所示。

例 2 十进制加法计数器

由于 $4^2 > 10$ ，因而同样可用两只四值触发器 (A, B) 来描述十个状态，状态表如表 3 所示。表中 × 表示不应该发生的冗余态。由表 3 可得两只触发器 A, B 的 K 图如图 6(a)、6(b) 所示。由 (17)–(20) 式可得两只触发器的激励函数为

$$\left. \begin{aligned} J_A &= (0 \nabla B^{2.5}) \cap (1 \nabla^{2.5} B), & K_A &= J_A, \\ L_A &= (0 \nabla B^{0.5}) \cap (2 \nabla^{0.5} B), & M_A &= d(0, 1, 2, 3), \end{aligned} \right\} \quad (23)$$

$$J_B = L_B = M_B = 1, \quad K_B = (1 \nabla A^{1.5}) \cap (3 \nabla^{1.5} A). \quad (24)$$

(23)–(24) 式表示利用三只二选一阈 (0.5, 1.5, 2.5) 数据选择器便可实现十进制加法计数器中的组合电路，如图 6 所示。可以看到整个电路的结构十分简单。作为对比，一个十进制计数器必需

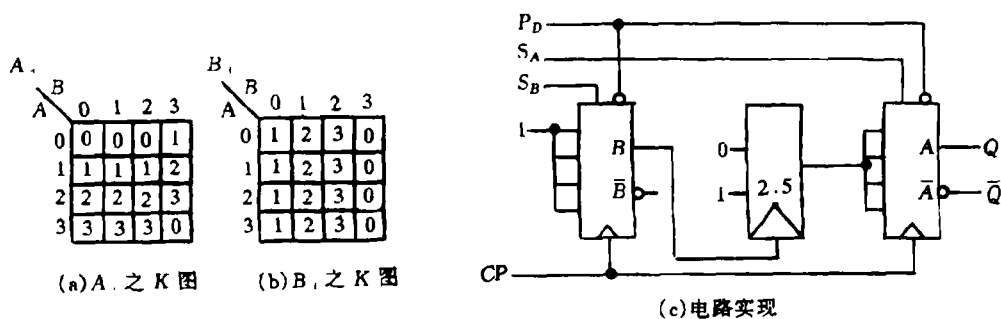


图 5 十六进制计数器

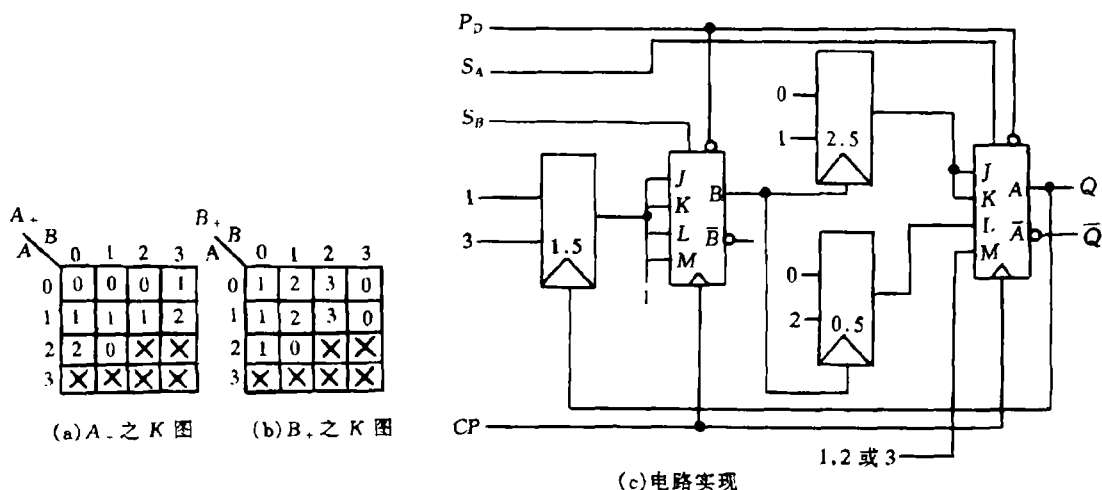


图 6 十进制计数器

采用四个二值触发器, 并且为了预置 (0—9) 需用 4 对预置端 (S_D, R_D)。但图 6(c) 中的设计仅用了三个预置端。例如使 $S_A = S_B = 0$, 就可把该计数器初始态预置为 0, 这就充分体现出多值逻辑可节省电路端线的优点。此外, 不难验证当取 $M_A = 1, 2, 3$ 时, 该计数器具有自启动能力。

5 结 论

多值触发器是多值时序电路设计中必需的存储元件。本文基于限幅电压开关理论, 设计了各类 nMOS 触发器, 它们都具有双端预置能力、双轨互补输出和合理的激励行为。本文通过 JKLM 型触发器对十六进制加法计数器和十进制加法计数器的设计实例证明了由触发器的 K 图可直接获得激励函数, 使得多值时序电路设计简单易行。本文的讨论亦表明了限幅电压开关理论不但可指导电路开关级设计, 而且也能有效地指导 nMOS 多值触发器和时序电路的设计, 从而完成了对该理论实用性的系统研究。

参 考 文 献

- [1] 吴训威, 陈偕雄. 具有三轨输出的三值维持阻塞触发器的研究. 科学通报, 1986, 31(16): 1380—1383.

- [2] Xunwei Wu. The theory of clipping voltage-switches and design of quaternary nMOS circuits. IEEE Proc. ISMVL, Sendai: 1992, 119-102.
- [3] 吴训威. 指导 nMOS 电路元件级设计的开关信号理论. 电子学报, 1993, 21(1): 83-86.
- [4] Xunwei Wu, Xiaojie Zhao. Design of ternary nMOS circuits based on theory of clipping voltage switches. Int. J. Electronics, 1993, 74(1): 91-102.
- [5] Vranesic Z B. Multiple-valued logic: An introduction and overview. IEEE Trans. on Computer, 1977, C-26(12): 1181-1182.
- [6] 吴训威. 多值逻辑电路设计原理. 杭州: 杭州大学出版社, 1994, 19-25.
- [7] Yasuda Y, *et al.* Realization of quaternary logic circuits by *n*-channel MOS devices. IEEE J. of SSC., 1986, SC-21(1): 162-168.
- [8] 吴训威, 陈其翔. 双端置数技术与高值 CMOS 触发器设计. 电子科学学刊, 1994, 16(1): 91-95.
- [9] 吴训威, 陈偕雄. 具有三轨输出的三值触发器及其在三值时序电路中的应用. 中国科学 (A 辑), 1985, (7): 643-654.
- [10] 吴训威, 毕德祥. 对基于模代数的三值触发器的研究. 电子学报, 1984, 12(3): 6-13.

THE DESIGN OF nMOS QUATERNARY FLIP-FLOPS AND THEIR APPLICATIONS

Xia Yinshui Wu Xunwei*

(Dept. Phys., Ningbo Normal College, Ningbo 315211)

*(Dept. E. E., Hangzhou University, Hangzhou 310028)

Abstract By using the theory of clipping voltage-switches, two kinds of master/slave nMOS quaternary flip-flops are designed. These flip-flops have the capability of two-input presetting and double-rail complementary outputs. A modulo-16 up counter and a modulo-10 up counter are designed by using JKLM type flip-flop. It is shown that these flip-flops can be flexibly used to design quaternary sequential circuits.

Key words Theory of clipping voltage-switches, nMOS, Quaternary logic, Flip-flops, Sequential circuit

夏银水: 男, 1963 年生, 讲师, 中国电子学会高师教学学会理事, 从事专业: 集成电路设计.

吴训威: 男, 1940 年生, 教授, 中国电子学会会士, 中国通讯学会会士, 从事专业: 数字电子学.