

# 宽带数字下变频的一种高效实现结构<sup>1</sup>

高志成 肖先赐

(电子科技大学电子工程系 成都 610054)

**摘要** 宽带数字接收系统要以大的调谐带宽截获窄带信号, 要求数字下变频器具有高的数据率和快的调谐时间, 现有的商用数字下变频器不能满足这些要求。本文提出一种高效实现结构, 综合利用 DFT 滤波器的灵活性和多相滤波的高效性, 按照先抽取数据, 再低通滤波、混频的顺序, 较好地解决了硬件速度和高速数据流不匹配的问题。计算机模拟结果证明了处理结构的有效性。

**关键词** 数字下变频, 宽带数字接收, 多相滤波

**中图分类号** TN850, TN911.72

## 1 引言

在宽带数字接收系统中, 高速 A/D 转换器已越来越靠近天线。A/D 转换器后的高速数据流要经过数字下变频器 (DDC) 变到基带, 供 DSP 处理。数字处理比传统的模拟处理具有精确、可靠、无参数漂移等一系列优点。目前商用的数字下变频器由于缺乏高的数据率和快的调谐时间, 使得宽带数字接收的发展受到限制。用于软件无线电的数字下变频器发展很快, 采样率在 70MHz 以下的数字下变频器已有商用现货芯片和评价模板。但是在射频信号截获应用中, 需要数字接收机有大的瞬时频率覆盖。美国海军实验室研制的数字接收机, A/D 转换器采样率为 500MHz, 目前的 DSP 无法与之相配, 不得不采用门限和间断取样的处理方式, 降低了截获概率。因此, 研制一种能够宽带工作的数字下变频器, 将 500MHz 速率的数字带通信号转换到 DSP 可以接受的数据率, 是宽带数字接收的关键。对此, 国内已有单位开展了相关算法研究。

数字下变频器基于外差接收机的原理, 对数字化数据进行混频、低通和按带宽抽取, 得到和信号带宽匹配的基带抽样信号, 实现从宽频带中提取感兴趣的窄带信号。

当输入数据采样率相对较低和不要求快速调谐时, 可以直接采用商用的 ASIC 电路实现。例如 HARRIS 公司的数字下变频器产品 HSP50016, 它可以接受 50MSPS 的输入数据率, 16 位量化数据宽度, 无虚假动态范围大于 102dB, HSP50016 直接把带通信号变为基带信号。当输入采样率较高时, 例如一个要求 200MHz 调谐带宽的接收机, 要求采样率大于 500MHz, 工作在这样高频的商用 DDC, 目前还无法得到。另外 HSP50016 通过串口预置调谐频率, 调谐速度慢。解决这一困境的有效途径是利用多抽样率技术, 先抽取数据流后, 再做低通滤波、混频, 使系统在较低的速率下并行处理数据, 效率高, 实现容易。

## 2 多相滤波的高效结构

在多抽样率信号处理中, 实现先抽取后滤波的最简单方法是多相滤波。如果一个  $Q$  阶线性时不变 FIR 滤波器的冲击响应为  $h(n)$ , 它的  $Z$  变换  $H(Z)$  可表示为

$$H(Z) = \sum_{n=0}^{Q-1} h(n)Z^{-n} = \sum_{\rho=0}^{M-1} Z^{-\rho} E_{\rho}(Z^M) \quad (1)$$

<sup>1</sup> 1999-04-20 收到, 1999-10-20 定稿

其中  $E_\rho(Z^M) = \sum_{r=0}^{P-1} h(rM + \rho)Z^{-rM}$ ,  $n = r \times M + \rho$ ,  $\rho = 0, 1, \dots, M-1$ ,  $r = 0, 1, \dots, P-1$ ,  $Q = P \times M$ 。(1) 式称为  $H(Z)$  的多相表示,  $E_\rho(Z^M)$  称为  $H(Z)$  的多相分量。

利用滤波器的多相分解, 我们把传统数字下变频中先低通滤波后抽取的结构等效变换成先抽取后滤波的形式。文献 [1] 等效过程如图 1 所示。

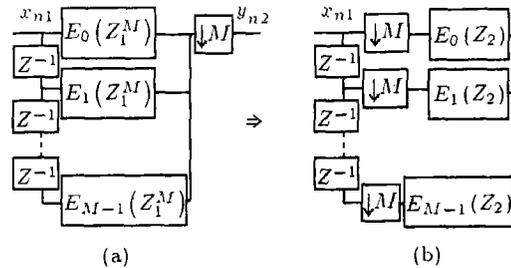


图 1 滤波器的多相分解和等效结构  
(a) 先滤波再抽取结构 (b) 先抽取后滤波结构

图中  $Z_1 = e^{j\Omega T_1}$ ,  $Z_1^M = e^{j\Omega M T_1} = e^{j\Omega T_2} = Z_2$ 。图 1 (a) 滤波在高采样率端进行, 效率低; 图 1 (b) 滤波运算在抽取后进行, 效率高。利用多相滤波的这种优点可以实现数字下变频的高效结构。

### 3 数字下变频器混频序列的分解

数字下变频器对输入采样率为  $f_s$  的取样数据流  $X_n$  调谐是通过把  $X_n$  与一混频器序列相乘来实现的。文献 [2] 中把调谐频率  $f_0$  分解为周期分量  $m/N$  和非周期分量  $f_d$ , 混频器序列为

$$e^{-j\pi f_0 n} = e^{-j\frac{2\pi}{N} mn} \cdot e^{-j2\pi f_d n} \tag{2}$$

整个调谐带宽被分成  $N$  个信道。  $m$  代表第  $m$  个信道,  $f_d$  为信道内的频率偏移。在一定条件下, 周期分量  $m/N$  可以归入多相滤波器分支。 剩余的非周期分量  $f_d$  放在抽取后与数据流相乘。

在对一个窄带信号的采集处理时, 常常要给窄带信号增加一定保护带 [3], 我们只要求按带宽压缩数据量, 不需要精确的调谐, 可以采用粗调谐加交叠信道的方式, 将  $f_s$  分成  $N = 2M$  个信道, 信道带宽  $f_s/M$ , 信道间交叠 50%, 信道划分示意图如图 2 所示。

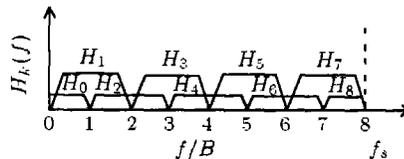


图 2 调谐通道的划分

这里输入调谐带宽  $f = 8B$ ,  $B$  为加保护带后的信道带宽,  $H_0 \sim H_7$  为各通道带通滤波器的频率响应, 用这样的一组滤波器覆盖调谐范围, 不会出现信道交接处丢失信号的问题。当带通信号的最高频率分量  $f_h$  满足:  $K < f_h/B \leq K + 1$  时调谐序列选第  $K$  信道。即选序列  $e^{-j(2\pi/V)K_n}$  与输入序列相乘。

### 4 宽带 DDC 的高效实现结构

我们注意到, 混频器序列的周期分量  $e^{-j(2\pi/N)mn}$  正好对应于  $N$  点离散傅氏变换 (DFT) 第  $m$  分量的  $N$  点序列, 简称为 DFT 调谐序列。

综合多相滤波和 DFT 调谐序列的观点, 可以得到数字下变频器第  $K$  信道的调谐实现结构, 如图 3 所示。

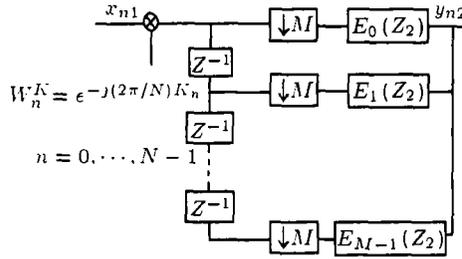


图 3 数字下变频的实现方式

图 3 中作为混频器的乘法器, 在高采样率一边, 运算效率很低。我们的目的是要把它移到低采样率的一边。可以看出, 当调谐序列  $W_n^K$  的周期  $N$  等于后面多相滤波器的抽取比  $M$  时,  $W_n^K$  可以一一对应地分配给多相滤波器的各个分支, 同时各分支滤波运算只对实序列进行, 混频在滤波之后, 运算量大大减少; 各个支路混频后的同相、正交分量再分别相加, 得到所要的基带采样信号。这种处理的结构画于图 4。

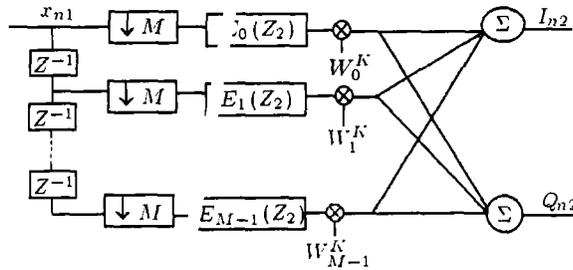


图 4 调谐序列相乘的等效变换

这样一来, 滤波器混频运算都在低采样率一边进行, 速度要求降低, 效率大大提高。当我们按照 50% 交迭方式划分信道时, 调谐序列  $W_n^K$  的周期  $N$  为抽取比  $M$  的两倍,  $N = 2M$ ;  $N$  个系数不能直接赋给  $M$  个分支。考虑到  $W_n^K$  的周期性, 可以简化  $N$  个调谐系数的分配。

$$\begin{aligned}
 W_n^K &= e^{-j(\pi/M)nK}, & n \leq M \\
 W_n^K &= e^{-j(\pi/M)(m+M)K} = \begin{cases} e^{-j(\pi/M)mK}, & K = \text{偶}, \\ -e^{-j(\pi/M)mK}, & K = \text{奇}, \end{cases} & n > M
 \end{aligned} \tag{3}$$

因此, 对于偶信道, 混频器序列  $W_n^K$  周期为  $M$ ,  $n = 0, M-1$  可以直接分配给  $M$  个分支; 按图 4 算法结构实现高效数字下变频。对于奇信道, 混频器序列前半按  $e^{-j(\pi/M)nK}$   $n = 0, M-1$  赋给  $M$  个滤波器分, 后半在分配前要乘一 “-” 号。由于多相滤波器的各分支在

滤波前先做了  $M$  倍抽取, 见图 4。因此送到各分支的序列相隔  $M$  个采样, 滤波前要乘以  $+1/-1$ , 如图 5(a)。把图 5(a) 中乘法器  $+1$  或  $-1$  分别加到分支的各抽头上, 奇数抽头乘以  $+1/-1$ , 偶数抽头乘以  $-1/+1$ , 即是图 5(b) 的结构。再将图 5(b) 中各抽头的  $+1/-1$  乘法器移到混频求和之后, 将奇数抽头的系数加一“ $-$ ”号, 就得到图 5(c) 的结构。从运算结构上看, 上面的变换是等效和合理的, 而图 5(c) 的结构是效率最高的。

图 5 只画出多相滤波器的第  $\rho$  个分支, 其余  $M-1$  个分支相同, 图中  $C_\rho^K$  为  $\cos(\pi\rho K/M)$ ,  $S_\rho^K$  为  $-\sin(\pi\rho K/M)$ , 有

$$W_\rho^K = e^{-j(\pi/M)\rho K} = C_\rho^K + jS_\rho^K \tag{4}$$

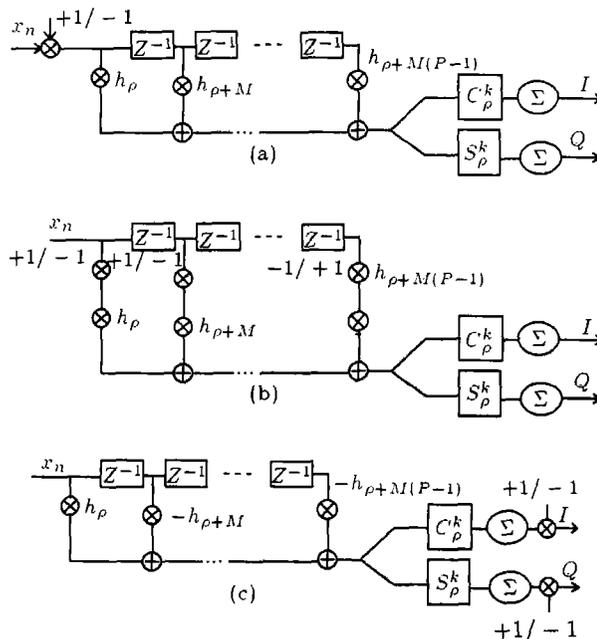


图 5 奇数信道调谐序列分配给多相滤波分支的方法

利用  $W_\rho^K$  系数的对称性, 可以对上述的多相滤波 DDC 结构进一步优化, 减少乘法次数, 由此涉及到的细节在文献 [2] 中有详细的叙述。

上述的高效结构和传统数字下变频器的结构相比, 具有以下优点:

(1) 滤波和混频均在低采样率一端进行, 对卷积运算的速度要求降低, 硬件上降低了对高速器件的需求, 缓解了处理器和高速 A/D 间的数据传输瓶颈问题 [5]。

(2) 传统 DDC 的卷积运算在混频之后进行, 是复数据滤波。上述结构中滤波运算在混频之前进行, 对实数据运算, 大大节省硬件花费。

(3) 应用高效结构实现对可变载频带通信号调谐时, 载频改变, 只需改变  $M$  个混频系数, 调谐灵活, 在电路上采用查表实现很容易, 调谐时间短。并且低通滤波器系数不变。这对于采集频率捷变脉冲信号很方便, 而传统的数字下变频器需要从串口输入调谐频率, 频率切换时间长, 不能在宽带下使用。

## 5 计算机仿真结果

为了验证上述 DDC 优化结构的有效性, 按照图 4 的优化结构处理顺序, 做了计算机模拟。程序处理顺序如下:

(1) 产生带通信号序列  $a(n) = \cos[2n\pi f_0/f_s + (\mu/2)(n/f_s)^2]$ ,  $n = 0, 1, \dots, NL - 1$ ,  $\mu = 2\pi B f_s/n$ ,  $B$  为实际信号带宽。取  $f_0 = 75\text{MHz}$ ,  $f_s = 400\text{MHz}$ ,  $B = 5\text{MHz}$ ,  $NL = 1020$ 。

(2) 产生低通滤波器序列  $h(n)$ 。  $h(n)$  为 FIR 滤波器的冲击响应, 用 MATLAB 函数  $\text{Firl}(Q, W_n)$  产生,  $W_n$  为低通滤波器截止频率, 阶数  $Q$  按下述公式确定:

$$Q = \frac{-10\text{Log}_{10}(S_1 S_2) - 7.95}{14.36\Delta f} + 1$$

$S_1, S_2$  分别为带内波纹和阻带衰减, 分别取 0.05 和 0.01,  $\Delta f$  为归一化过渡带宽, 取 10MHz;  $Q$  取 80; 对先滤波后抽取和先抽取后滤波,  $W_n$  都取 1/40。

(3) 按  $M$  对  $a(n)$  抽取、分组, 得  $a_\rho(n)$ , 长度 51; 同时对  $h(n)$  抽取, 按多相分组, 得  $h_\rho(n)$ , 长度 4,  $M$  取 20。

(4) 分组多相滤波, 求卷积  $V_\rho(n) = a_\rho(n) * h_\rho(n)$ ,  $\rho = 0, 1, \dots, M - 1, n = 0, 1, \dots, 53$ 。

(5) 各相输出乘以混频序列,  $W_n^K = e^{-j(\pi/M)nK}$ , 再求和, 得到基带信号  $Y_n$ 。  $Y_n = \sum_{\rho=0}^{M-1} V_\rho(n) \cdot W_\rho^K$ 。

我们将按上述高效结构处理得到的输出和按传统数字下变频器处理得到的输出作一比较, 如图 6 所示。(a) 是原始输入窄带信号, (b) 是按传统数字下变频器处理后的基带信号输出。(c) 是按高效结构处理的基带信号输出。可以看出, 两种处理在时频域上的结果完全一致, 这是等效结构产生的必然结果。高效结构以低速方式实现了高速数字带通信号的基带转换。

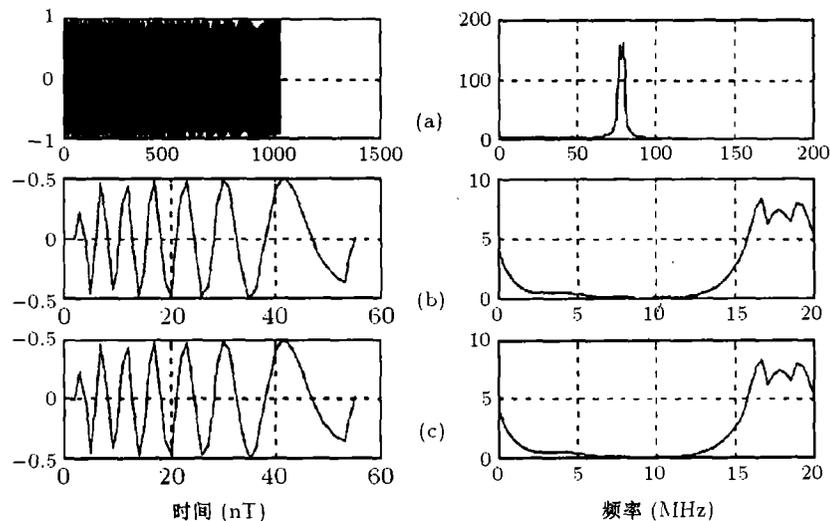


图 6 对窄带信号两种基带提取方法的结果比较

在电路结构上,传统 DDC 要在 400MHz 上完成序列相乘和低通滤波,用现有的数字器件或 DSP,根本无法实现。而按图 4 的高效结构,电路仅工作在 20MHz 速率,用并行的 20 路 4 阶 FIR 低通滤波,20 路复数乘法,复数求和,得到下变频基带信号,这一切采用中速数字电路或常规 DSP 都可以实现。高效结构带来了宽带下变频的可实现性,用于宽带系统中对窄带信号的基带提取是可行的。

另外从计算量来看,由 1020 点实带通信号获得 53 点复基带信号,传统 DDC 需要 1020 次复乘,2 路 1100 点卷积,每点卷积需 80 次乘,79 次加,共 351840 次运算;而高效结构 DDC 需要 20 路 53 点卷积,每点卷积需 4 次乘,3 次加,20 路 53 点复乘,53 点 20 个复数求和,共 11554 次运算,运算量减少为原运算量的 1/30。

## 6 结束语

本文针对宽带数字接收系统中实现带通信号数字下变频中,输入数据为高采样率的难题,利用 DFT 滤波器组调谐的灵活性和多抽样率滤波的高效性,在结构上进行优化等效,较好地解决了中速器件实现高速率数字下变频的技术难题。这一技术对于数字接收技术,带通信号的稀释采集,具有很好的应用前景。

## 参 考 文 献

- [1] 宗孔德,多抽样率信号处理,北京,清华大学出版社,1996年7月,47-50.
- [2] J. Fudge, M. Legako, C. Sehreiner, An approach to efficient wideband digital downconversion, Proc. ICSPAT, Toronto, Canada, 1998, 713-717.
- [3] R. G. Vaughan, N. L. Scott, D. R. White, The theory of bandpass sampling, IEEE Trans. on SP, 1991, SP-39(9), 1973-1984.
- [4] D. R. Zahirniak, D. L. Sharpin, T. W. Fields, A hardware-efficient multirate digital channelized receiver architecture, IEEE Trans. on AES, 1998, AES-34(1), 137-151.
- [5] R. Baines, The DSP bottleneck, IEEE Communications Magazine, 1995, 33(5), 46-54.

## AN EFFICIENT IMPLEMENTATION ARCHITECTURE FOR WIDEBAND DIGITAL DOWNCONVERSION

Gao Zhicheng    Xiao Xianci

(Dept. of Electron. Eng., UEST of China, Chengdu 610054, China)

**Abstract** The wideband digital receiver systems require DDC with high speed and short tuning time in order to intercept narrowband signal in broad tuning bandwidth. However, these requirements can not be met by the commercial DDC. In this paper an efficient implementation architecture is presented. It combines the flexibility of DFT tuning with the efficiency of the polyphase filter bank decomposition. By first decimating the data prior to filtering and mixing, this architecture gives a better solution of the mismatch between the lower hardware speed and high data rate. The computer simulations show the feasibility of this processing architecture.

**Key words** Digital downconversion, Wideband digital receiver, Polyphase filter

高志成: 男, 1955 年生, 博士, 从事现代谱估计, 宽带数字接收, 信号处理等方面的研究工作.

肖先赐: 男, 1933 年生, 教授, 博士生导师, 主要从事电子工程, 信号处理等方面的教学和研究工作.